

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-338438

(43)Date of publication of application : 10.12.1999

(51)Int.Cl.

G09G 3/36  
G02F 1/133  
G02F 1/136

(21)Application number : 10-241392

(71)Applicant : SONY CORP

(22)Date of filing : 27.08.1998

(72)Inventor : INO MASUMITSU  
MAEKAWA TOSHIICHI  
NAKAJIMA YOSHIHARU  
ICHIKAWA HIROAKI  
TERAGUCHI SHINICHI  
GOTO HISASHI  
OKA TOSHIHITO  
AKUTAGAWA TORU  
TSUBOTA HIROYOSHI

(30)Priority

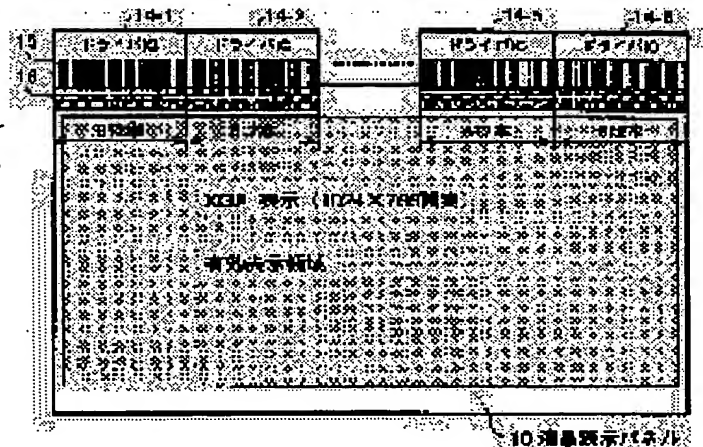
Priority number : 10 76813    Priority date : 25.03.1998    Priority country : JP

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device capable of narrowing a horizontal width of a liquid crystal display panel in the use of an external driver IC.

SOLUTION: This device comprises a liquid crystal display panel 10 consisting of a plurality of pixels two-dimensionally disposed at intersections of a plurality of rows of gate lines and of a plurality of columns of signal lines wired in the form of a matrix, and a plurality of driver ICs 14-1, 14-2,... for supplying a predetermined voltage to each pixel in the liquid crystal display panel 10 via a plurality of columns of the signal lines. The number of respective output pins of the driver ICs 14-1, 14-2,... is set to an aliquot part of the total number of the signal lines so that no fractions occur in the signal lines.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] The display which comes to carry out two-dimensional arrangement of two or more pixels at the crossing of the gate line for a multi-line and the signal line for two or more trains which were wired in the shape of a matrix, It has two or more driver circuits which give signal potential to each pixel of said display through the signal line for said two or more trains. In case each number of output terminals is set as the same number and arranged in order with each and correspondence relation of a signal line for said two or more trains, when a fraction comes out of said two or more driver circuits to the signal line for said two or more trains, The liquid crystal display characterized by setting the one number of output terminals in said two or more driver circuits as said fraction.

[Claim 2] Said two or more driver circuits are liquid crystal displays according to claim 1 characterized by being the driver IC allotted to the exterior of a transparence insulating substrate in which said display is formed.

[Claim 3] The liquid crystal display characterized by equipping the crossing of the gate line for a multi-line and the signal line for two or more trains which were wired in the shape of a matrix with the display which comes to carry out two-dimensional arrangement of two or more pixels, and two or more driver circuits which give signal potential to each pixel of said display through the signal line for said two or more trains, and setting each number of output terminals of two or more of said driver circuits as the divisor of the total number of the signal line for said two or more trains.

[Claim 4] The liquid crystal display according to claim 3 characterized by each number of output terminals of two or more of said driver circuits being the same number.

[Claim 5] The liquid crystal display according to claim 3 characterized by each number of output terminals of two or more of said driver circuits being the exponentiation of 2.

[Claim 6] Said two or more driver circuits are liquid crystal displays according to claim 3 characterized by being the driver IC allotted to the exterior of a transparence insulating substrate in which said display is formed.

[Claim 7] The liquid crystal display according to claim 3 characterized by having the store circuit which memorizes temporarily the data for writing in said two or more driver circuits, and the control circuit controlled in order to write separate data in coincidence from said store circuit to said two or more driver circuits.

[Claim 8] The liquid crystal display according to claim 4 characterized by determining each several n output terminal of two or more of said driver circuits as the basis of the specified frame size with the number of wiring which can wire the wiring field of the frame part when the size of the frame part which adjoins said display is specified.

[Claim 9] The number of said driver circuit is a liquid crystal display according to claim 8 characterized by being set as a  $N/n$  individual when setting to N the total number of the signal line for said two or more trains decided by means of displaying.

[Claim 10] The liquid crystal display according to claim 3 characterized by having the time division switch which gives the signal potential outputted from each of two or more of said driver circuits to the signal line for said two or more trains in time sharing.

[Claim 11] The signal output wave of two or more of said driver circuits is a liquid crystal display according to claim 10 which starts, falls and is characterized by the symmetrical thing to both time-axes.

[Claim 12] The liquid crystal display according to claim 10 characterized by the number of time sharing of said time division switch being 3.

[Claim 13] The period chosen with said time division switch is a liquid crystal display according to claim 12 characterized by being  $1/3$  or less period of a horizontal scanning period.

[Claim 14] Two or more of said build up time and falling time amount of a driver circuit are a liquid crystal display according to claim 13 characterized by being below the period chosen with said time division switch.

[Claim 15] The blanking period produced between the selection periods of said time division switch is a liquid

crystal display according to claim 13 characterized by being or less (selection period x3 of a horizontal scanning period-time division switch) / 3.

[Claim 16] Said two or more driver circuits are liquid crystal displays according to claim 15 characterized by having the function to suspend actuation of the output circuit in said blanking period.

[Claim 17] Said two or more driver circuits are liquid crystal displays according to claim 12 characterized by generating signal potential which amends the curve of the electrical-potential-difference-transmission property of R (red), G (green), and B (blue).

[Claim 18] The liquid crystal display according to claim 12 with which the signal line chosen as the 1st by said time division switch is characterized by the signal line with which the signal line from which it is chosen as blue and the 2nd is chosen as green and the 2nd being red in 1H (H is horizontal scanning period) reversal drive or a 1H common reversal drive.

[Claim 19] The liquid crystal display according to claim 10 with which the signal line chosen as the 1st by said time division switch is characterized by the signal line with which the signal line from which it is chosen as red and the 2nd is chosen as green and the 2nd being blue in a dot reversal drive.

---

[Translation done.]

#### **\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

#### **DETAILED DESCRIPTION**

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the matrix mold liquid crystal display which comes to prepare the driver circuit which gives signal potential to each pixel as an external circuit of a liquid crystal display panel about a liquid crystal display (LCD; Liquid Crystal Display).

[0002]

[Description of the Prior Art] As for the liquid crystal display used for the personal computer, the word processor, etc., the matrix mold serves as the main force. This matrix mold liquid crystal display is excellent in the field of a speed of response or image quality, and is turning into the optimal display for colorization in recent years.

Nonlinear components, such as a transistor or diode, are used for each pixel of a liquid crystal display panel in this kind of indicating equipment. Specifically, it has the structure in which the thin film transistor (TFT; thin film transistor) was formed on the glass substrate.

[0003] By the way, the configuration which prepared especially the driver IC which impresses a predetermined electrical potential difference to each pixel in the exterior of a liquid crystal display panel in the large-sized liquid crystal display is taken. And the output of an external driver IC and the signal line of a liquid crystal display panel usually serve as correspondence relation of 1 to 1. That is, the output voltage from each output terminal of a driver IC is given to the signal line which corresponds as it is.

[0004] In the liquid crystal display of XGA (extended graphics array) means of displaying which follows, for example, has 1024 signal lines, i.e., 3072 (= 1024x3) books, for every color of R (red), G (green), and B (blue), when it is going to connect the existing general-purpose driver IC which has 120 output pins (output terminal) as opposed to each signal line, 26 driver ICs will be needed in total.

[0005]

[Problem(s) to be Solved by the Invention] However, if a general-purpose driver IC is used to the signal line it is decided by means of displaying that the total number will be as mentioned above, that the number of pins of a driver IC remains will occur. For example, when 26 general-purpose driver ICs with 120 output pins are used to

3072 signal lines, the output pin of the driver IC arranged at the end will remain [ only 48 (= 120x26-3072) individual ].

[0006] And since the excessive pin part in the output pin of a driver IC 101 serves as an excessive connection field which does not contribute to image display and the frame part of right and left of the liquid crystal display panel 102 will be occupied as shown in drawing 37 when it thinks from a viewpoint of the size of a liquid crystal display panel, the horizontal size of the liquid crystal display panel 102 will increase, consequently it becomes the hindrance of miniaturization of the whole liquid crystal display. In addition, in drawing 37, a driver IC 101 is connected to each of a signal line in the connection part 104 on the liquid crystal display panel 102 through the flexible cable 103.

[0007] Moreover, in performing color display accompanied by gradation, the configuration of the output-buffer circuit which outputs the electrical potential difference impressed to the thin film transistor of each pixel, or a gradation control circuit becomes complicated, and the driver IC itself will become expensive. It is useless to use in the condition that the circuit part corresponding to the surplus output pin does not contribute such an expensive driver IC to a display at all, and it leads also to the cost rise of a liquid crystal display.

[0008] This invention is made in view of the above-mentioned technical problem, and the place made into the purpose is to offer the liquid crystal display which enabled horizontal narrow-width-ization of a liquid crystal display panel, when using an external driver IC.

[0009]

[Means for Solving the Problem] The display which comes to carry out two-dimensional arrangement of two or more pixels at the crossing of the gate line for a multi-line where the liquid crystal display by this invention was wired in the shape of a matrix, and the signal line for two or more trains, It has two or more driver circuits which give a predetermined electrical potential difference to each pixel of this display through the signal line for two or more trains. In case each number of output terminals is set as the same number and arranged in order with each and correspondence relation of a signal line for two or more trains, when a fraction comes out of two or more of these driver circuits to the signal line for two or more trains, the one number of output terminals in two or more driver circuits is set as the above-mentioned fraction.

[0010] Finally in the liquid crystal display of the above-mentioned configuration, a fraction does not arise in a signal line to two or more driver circuits by setting the one number of output terminals in two or more driver circuits as the fraction of a signal line. Therefore, since it can connect with each of a signal line, without making the output terminal of a driver circuit remain, in a display, the excessive connection field which does not contribute to image display is not generated.

[0011] Other liquid crystal displays by this invention equip the crossing of the gate line for a multi-line and the signal line for two or more trains which were wired in the shape of a matrix with the display which comes to carry out two-dimensional arrangement of two or more pixels, and two or more driver circuits which give a predetermined electrical potential difference to each pixel of this display through the signal line for two or more trains, and set each number of output terminals of two or more of these driver circuits as the divisor of the total number of the signal line for two or more trains.

[0012] In other liquid crystal displays of the above-mentioned configuration, in case the number of output terminals of a driver circuit is set up, each number of output terminals is set as the divisor of the total number of a signal line, and the driver circuit of the number decided by this number of output terminals is arranged. Thereby, in a signal line, a fraction does not arise to two or more driver circuits. Therefore, since it can connect with each of a signal line, without making the output terminal of a driver circuit remain, in a display, the excessive connection field which does not contribute to image display is not generated.

[0013]

[Embodiment of the Invention] Hereafter, it explains to a detail, referring to a drawing about the gestalt of operation of this invention.

[0014] Drawing 1 is the plugging chart of the liquid crystal display section in the matrix mold liquid crystal display concerning this invention. The signal line 12-1 for two or more trains, 12-2, 12-3, and .. are wired in the shape of a matrix on the surface of liquid crystal with the gate line 11-1 for a multi-line, 11-2, 11-3, and .., and this matrix mold liquid crystal display has the structure where the back light has been arranged at the rear-face side of that liquid crystal. And the crossing of a signal line 12-1, 12-2, 12-3, and .. becomes the gate line 11-1, 11-2, 11-3, and .... with a pixel, and the liquid crystal display panel (display) 10 is formed. About the configuration of this pixel, it mentions later.

[0015] It connects with each outgoing end of the line to which, as for one edge each, the vertical-drive circuit 13

corresponds of the gate line 11-1 for a multi-line, 11-2, 11-3, and .., respectively. The vertical-drive circuit 13 is formed of the thin film transistor on the same substrate as the above-mentioned liquid crystal display panel, and performs a vertical scanning by giving a scan pulse in order to the gate line 11-1, 11-2, 11-3, and .., and choosing each pixel per line. In addition, although considered as the configuration which allots the vertical-drive circuit 13 only to one side of the liquid crystal display panel 10 in this example, of course, you may be the configuration allotted to the both sides of the liquid crystal display panel 10.

[0016] Moreover, two or more driver ICs 14-1 which impress the predetermined electrical potential difference according to image data to a signal line 12-1, 12-2, 12-3, and .., 14-2, 14-3, and .. are prepared as an external circuit of the above-mentioned liquid crystal display panel 10. The digital image data which enables the display of 512 or more colors with 8 or more gradation is inputted into two or more driver ICs 14-1, 14-2, 14-3, and ..

[0017] Drawing 2 is the circuitry Fig. of a pixel. Each pixel 20 consists of a thin film transistor 21, addition capacity 22, and liquid crystal capacity 23 so that clearly from this drawing. The gate electrode is connected to the gate line 11-1, 11-2, 11-3, and .., and, as for the thin film transistor 21, the source electrode is connected to a signal line 12-1, 12-2, 12-3, and .., respectively.

[0018] In this pixel structure, the liquid crystal capacity 23 means the capacity generated between the pixel electrode formed by the thin film transistor 21, and the counterelectrode formed corresponding to this. And the potential held at this pixel electrode is written in with "H" or the potential of "L." Here, "H" shows a high-voltage write-in condition, and "L" shows a low-battery write-in condition.

[0019] An alternating current drive is realizable by setting the potential (common potential VCOM) of a counterelectrode as DC potential of 6V, and fluctuating a signal level periodically with 1 field period by the high voltage H and the low battery L to this on the occasion of the drive of liquid crystal. This alternating current drive can decrease a polarization operation of a liquid crystal molecule, and becomes possible [ preventing electrification of the insulator layer which exists in electrification of a liquid crystal molecule or an electrode surface ].

[0020] On the other hand, in a pixel 20, if a thin film transistor 21 will be in an ON state, while the permeability of the light in liquid crystal will change, the addition capacity 22 is charged. By this charge, it is held until a thin film transistor 21 will be [ the light transmittance condition in the liquid crystal by the charge electrical potential difference of the addition capacity 22 ] in an ON state next, even if a thin film transistor 21 will be in an OFF state. By such method, improvement in image quality in the image of the liquid crystal display panel 10 is achieved.

[0021] Drawing 3 is the block diagram of a driver IC 14-1, 14-2, 14-3, and .. showing an example of an internal configuration. These driver ICs have the level shift register circuit 31, the sampling switch group 32, a level shifter 33, the data latch circuit 34, and the digital-to-analog circuit 35, and have the composition of incorporating the 5-bit digital image data data1-data5 and supply voltage Vdd and Vss from the both sides in the shift direction of the level shift register circuit 31, for example, in this example so that clearly from drawing 3.

[0022] In the driver IC 14-1 of the above-mentioned configuration; 14-2, 14-3, and .., the level shift register circuit 31 performs a horizontal scanning (train scan) by carrying out the sequential output of the horizontal scanning pulse. Each of the sampling switch in the sampling switch group 32 answers a horizontal scanning pulse from the level shift register circuit 31, and carries out the sequential sampling of the digital image data data1-data5 inputted.

[0023] A level shifter 33 carries out the pressure up of the digital data of 5V sampled by the sampling switch group 32 to the digital data of liquid crystal driver voltage. The data latch circuit 34 is memory which accumulates the digital data by which the pressure up was carried out by the level shifter 33 by 1 level period. The digital-to-analog circuit 35 changes and outputs the digital data for 1 level period outputted from the data latch circuit 34 to an analog signal.

[0024] In the liquid crystal display of a configuration of having mentioned above, the place by which it is characterized [ of this invention ] is in each and the configuration of a connection part with two or more driver ICs 14-1 of the signal line 12-1 of the liquid crystal display panel 10, 12-2, 12-3, and .., 14-2, 14-3, and each output pin (output terminal) of .. Below, the concrete operation gestalt is explained.

[0025] First, it explains using drawing 4 about the 1st operation gestalt applied, for example to the liquid crystal display of XGA means of displaying.

[0026] In the XGA display, the liquid crystal display panel 10 has 1024 signal lines, i.e., 3072 (= 1024x3) books, 12-1, 12-2, 12-3, and .. for every color of R, G, and B. On the other hand, it considers as the thing of a signal line 12-1, 12-2, 12-3, and .. arranged in order corresponding to each using a general-purpose driver IC with 120 output pins as a driver IC 14-1, 14-2, 14-3, and ..

[0027] Supposing it arranges 25 general-purpose driver ICs with 120 output pins at this time, the fraction of 72 (=  $3072 - 120 \times 25$ ) books will appear in a signal line. Then, a total of 26 driver ICs 14-1 which contain the driver IC concerned as a driver IC which bears 72 signal lines of this fraction not using a general-purpose driver IC with 120 output pins but using a driver IC with 72 output pins, 14-2, 14-3, ..., 14-26 It is made to arrange in order horizontally.

[0028] The driver IC with these 72 output pins is the driver IC 14-26 arranged the 26th in case a driver IC is arranged in order, as shown in drawing 4. It is used by carrying out. Namely, other 25 driver ICs 14-1, 14-2, 14-3, ..., 14-25 The number of the signal line assigned is the 26th driver IC 14-26 to being 120. The number of the signal line assigned becomes 72.

[0029] 26 arranged driver ICs 14-1, 14-2, 14-3, ..., 14-26 [ thus, ] Each output pin is connected to each of a signal line 12-1, 12-2, 12-3, and ... in the connection part 16 on the liquid crystal display panel 10 through the flexible cable 15. It comes to impress a predetermined electrical potential difference to each pixel through these signal lines 12-1, 12-2, 12-3, and ...

[0030] [ as mentioned above, when the number of output pins uses the general-purpose driver IC of the same number as a driver IC 14-1, 14-2, 14-3, and ... ] In case [ of a signal line 12-1, 12-2 12-3, and ... ] it arranges in order with each and correspondence relation, when a fraction comes out of these driver ICs to a signal line, It can connect with each of a signal line, without a fraction's not arising in a signal line finally, but making the output pin of a driver IC remain in the thing of a driver IC 14-1, 14-2, 14-3, and ... for which the one number of output pins is set as the fraction. Consequently, on the liquid crystal display panel 10, the excessive connection field which does not contribute to image display is not generated.

[0031] In addition, in this operation gestalt, although the location where the driver IC which bears a part for the fraction of a signal line is arranged was made into the last (this example the 26th), it is also possible for it not to be restricted to this and to arrange in which location. Moreover, it does not pass over the numeric value shown by this example to an example, and it is not limited to these numeric values.

[0032] Next, it explains using drawing 5 about the 2nd operation gestalt applied, for example to the liquid crystal display of XGA means of displaying.

[0033] In the XGA display, the liquid crystal display panel 10 has 1024 signal lines (3072 [ i.e., ]) 12-1, 12-2, 12-3, and ... for every color of R, G, and B; as point \*\* was carried out. Although two or more driver ICs 14-1, 14-2, 14-3, and .. are arranged to these 3072 signal lines 12-1, 12-2, 12-3, and ... At this time, a driver IC 14-1, 14-2, 14-3, and the number of output pins of ... are set as the divisor of a signal line 12-1, 12-2, 12-3, and the total number (namely, the number of level display dots) of ..

[0034] In an XGA display, since [ of a signal line 12-1, 12-2, 12-3, and ... ] the total number is 3072, it is set as 512 (= 29) books a driver IC 14-1, 14-2, 14-3, and whose .. it is the divisor of 3072 about the number of output pins, and are the exponentiations (power) of 2 preferably as an example. What is necessary will be for the driver IC of six (=  $3072/512$ ) individuals to be needed; and just to arrange this six driver IC 14-1, 14-2, 14-3, ..., 14-6 in order by this, with a signal line 12-1, 12-2, 12-3, and each and correspondence relation of ..

[0035] Six arranged driver ICs 14-1, 14-2, 14-3, ..., 14-6 [ thus, ] Each output pin is connected to each of a signal line 12-1, 12-2, 12-3, and ... in the connection part 16 on the liquid crystal display panel 10 through the flexible cable 15. It comes to impress a predetermined electrical potential difference to each pixel through these signal lines 12-1, 12-2, 12-3, and ...

[0036] As mentioned above, in case [ of a driver IC 14-1, 14-2, 14-3 and ... ] the number of output pins is set up Each number of output pins by arranging the driver IC of the number of a signal line 12-1, 12-2, 12-3, and ... which sets it as the divisor of the total number and is decided by this number of output pins A fraction does not arise in a signal line, but it can connect with each of a signal line, without making the output pin of a driver IC remain. Consequently, on the liquid crystal display panel 10, the excessive connection field which does not contribute to image display is not generated.

[0037] In addition, it does not pass over the numeric value shown by this example to an example, and it is not limited to these numeric values. Here, as there was little number of a driver IC, when it is advantageous to low-cost-izing, conversely and a fault occurs in a part of circuit, there is an advantage that it can respond by exchanging only IC containing the fault. Therefore, what is necessary is to face setting up the number of output pins of a driver IC, and just to make it decide in consideration of the number of the driver IC decided by the number of output pins etc.

[0038] Moreover, although this operation gestalt explained the case where it applied to an XGA (1024 pixels x 768 pixels) display, it cannot be overemphasized that it is applicable also to other means of displaying, for example, an



NTSQ (640 pixels x 480 pixels) display, a VGA (800 pixels x 600 pixels) display, a SXGA (1280 pixels x 1024 pixels) display, and a UXGA (1600 pixels x 1400 pixels) display.

[0039] Furthermore, in each above-mentioned operation gestalt, although the case where each output pin, and a signal line 12-1, 12-2, 12-3 and .. applied to the liquid crystal display of the external driver IC 14-1, 14-2, 14-3, and .... which has the correspondence relation of 1 to 1 was taken and explained to the example, it is applicable also to the liquid crystal display which is not in the correspondence relation of 1:1. That is, in the liquid crystal display using the so-called time-sharing driving method, there are no output pin and signal line of an external driver IC in the correspondence relation of 1:1, and they can be applied also to this kind of liquid crystal display.

[0040] It is the drive approach which makes two or more signal lines one unit (block), forms a time division switch by making two or more signal lines into one unit at a liquid crystal display panel while outputting the signal given to two or more signal lines in this 1 division block from a driver IC by time series, carries out time sharing of the signal of the time series outputted from a driver IC with these time division switches to the time-sharing driving method here, and is given to two or more signal lines one by one. By using this time-sharing driving method, the number of output pins of a driver IC is reducible.

[0041] Drawing 6 is the plugging chart of the liquid crystal display section in the matrix mold liquid crystal display which used the time-sharing driving method. The signal line 42-1 for two or more trains, 42-2, 42-3, and .. are wired in the shape of a matrix on the surface of liquid crystal with the gate line 41-1 for a multi-line, 41-2, 41-3, and .., and this matrix mold liquid crystal display has the structure where the back light has been arranged at the rear-face side of that liquid crystal. And the crossing of a signal line 42-1, 42-2, 42-3, and .. becomes the gate line 41-1, 41-2, 41-3, and .... with a pixel, and the liquid crystal display panel 40 is formed. This pixel has composition shown in drawing 2.

[0042] It connects with each outgoing end of the line to which, as for one edge each, the vertical-drive circuit 43 corresponds of the gate line 41-1 for a multi-line, 41-2, 41-3, and .., respectively. The vertical-drive circuit 43 is formed of the thin film transistor on the same substrate as the above-mentioned liquid crystal display panel, and performs a vertical scanning by giving a scan pulse in order to the gate line 41-1, 41-2, 41-3, and .., and choosing each pixel per line.

[0043] Moreover, two or more driver ICs (only the 1st step of the driver IC 44 is shown in drawing 6) which impress the predetermined electrical potential difference according to image data to a signal line 42-1, 42-2, 42-3, and .... are prepared as an external circuit of the above-mentioned liquid crystal display panel 40. The digital image data which enables the display of 512 or more colors with 8 or more gradation is inputted into this driver IC 44. The driver IC 44 has composition shown in drawing 3.

[0044] And IC for a dot reversal drive is used as a driver IC 44. This driver IC 44 outputs the signal level which potential reverses for every odd number of each output terminal, and even number, in order to realize a dot reversal drive. A dot reversal drive is the driving method for reversing the polarity of the electrical potential difference impressed to an adjoining dot (pixel), and it considers as the good driving method here at the improvement in image quality.

[0045] That is, since the diving potential from the signal line which originates in the cross capacity of a signal line and a gate line by making into reversed polarity the electrical potential difference impressed to an adjoining pixel by dot reversal drive is canceled, pixel potential is stabilized, it comes to be inputted and the flicker at the time of a liquid crystal display is mitigated, image quality can be improved.

[0046] Further, in order to realize a time-sharing drive, a driver IC 44 makes two or more signal lines one unit, and has composition which outputs the signal given to the signal line of these plurality by time series. Corresponding to this, the analog switch (a time division switch is called hereafter) 46 of CMOS, PMOS, or an NMOS configuration is formed between a signal line 42-1, 42-2, 42-3, and .. with output Rhine 45-1 of a driver IC 44, 45-2, 45-3, and ..

[0047] An example of the connection configuration of the time division switch 46 in 3 time-sharing drives corresponding to R, G, and B is shown in drawing 7. In this 3 time-sharing drive, from each output terminal of a driver IC 44, the signal level for 3 pixels of R, G, and B is outputted through output Rhine 45-1, 45-2, 45-3, and .... in order by time series.

[0048] As shown in the timing chart of drawing 9, specifically as a signal output of a driver IC 44 In output Rhine 45-1, from the ODD terminal 1, the signal of each pixel of R1, G1, and B1 The signal of each pixel of R2, G2, and B-2 is outputted to the condition [ signal / of each pixel of R3, G3, and B3 ] .., from the ODD terminal 2 from the EVEN terminal 1 in output Rhine 45-3 at output Rhine 45-2.

[0049] Between output Rhine 45-1, three signal lines 42-1, 42-2, and 42-3, on the other hand, a time division



switch 46-1, 46-2, and 46-3 Between output Rhine 45-2, three signal lines 42-4, 42-5, and 42-6, a time division switch 46-4, 46-5, and 46-6 Corresponding to 3 time sharing, three time division switches are formed at a time in the condition [ 9 / time division switch 46-7 46-8, and / 46- ] ..., to output Rhine of one between output Rhine 45-3, three signal lines 42-7, 42-8, and 42-9.

[0050] Here, the concrete configuration of 1 set of some time division switches 46-1, 46-2, and 46-3 is explained using the circuit diagram of drawing 10 .

[0051] A PchMOS transistor and a NchMOS transistor consist of a CMOS analog switch (transmission switch) which comes to carry out parallel connection, and a time division switch 46-1, 46-2, and 46-3 are formed of the thin film transistor on the same substrate as the liquid crystal display panel 40. And each input edge of three time division switches 46-1, 46-2, and 46-3 is connected in common, and the common node is connected to output Rhine 45-1.

[0052] Thereby, the signal potential outputted by time series is given to each input edge of three time division switches 46-1, 46-2, and 46-3 via output Rhine 45-1 from a driver IC 44. Each outgoing end of these time division switches 46-1, 46-2, and 46-3 is connected to one edge each of three signal lines 41-1, 41-2, and 41-3.

[0053] Moreover, 2 per time division switch and a total of six control lines 47-1 to 47-6 are wired along the gate line 41-1, 41-2, 43-3, and the wiring direction of .... on the same substrate as the liquid crystal display panel 40. And two control-input edges of a time division switch 46-2 are connected to a control line 47-3 and 47-4, and two control-input edges of a time division switch 46-3 are connected to a control line 47-1 and 47-2 for two control-input edges (namely, each gate of Nch and a PchMOS transistor) of a time division switch 46-1 a control line 47-5 and 47-6, respectively.

[0054] In addition, although the connection relation of the time division switch 46-1 to six control lines 47-1 to 47-6, 46-2, and 46-3 was explained, it has other time division switches 46-4, 46-5, 46-6, and connection relation with the same completely said of .... here.

[0055] The control signals S1-S3 for choosing three time division switches of each class, and XS1-XS3 are given from the outside to six control-lines 47-1 to 47-6. However, control signals XS1-XS3 are reversal signals of control signals S1-S3. These control signals S1-S3, and XS1-XS3 are the signals for carrying out sequential ON of the three time division switches of each class synchronizing with the signal potential of the time series outputted from a driver IC 44.

[0056] The time division switch 46-1 of these each class, 46-2, 46-3, 46-4, 46-5, 46-6, 46-7, 46-8, 46-9, and .... are formed in the liquid crystal display panel 40 of the thin film transistor of the top gate structure shown in the bottom gate structure or this drawing (b) shown in drawing 11 (a) with the transistor which constitutes the vertical-drive circuit 43.

[0057] In the thin film transistor of the bottom gate structure shown in drawing 11 (a), the gate electrode 52 is formed on a glass substrate 51, the polish recon (Poly-Si) layer 54 is formed through gate dielectric film 53 on it, and the interlayer insulation film 55 is further formed on it. Moreover, on the gate dielectric film 53 of the side of the gate electrode 52, the source field 56 and the drain field 57 which consist of an N+ diffusion layer are formed, and the source electrode 58 and the drain electrode 59 are connected to these fields 56 and 57, respectively.

[0058] In the thin film transistor of the top gate structure shown in drawing 11 (b), the polish recon layer 62 is formed on a glass substrate 61, the gate electrode 64 is formed through gate dielectric film 63 on it, and the interlayer insulation film 65 is further formed on it. Moreover, on the glass substrate 61 of the side of the polish recon layer 62, it is N+. The source field 66 and the drain field 67 which consist of a diffusion layer are formed, and the source electrode 68 and the drain electrode 69 are connected to these fields 66 and 67, respectively.

[0059] These time division switches 46-1, 46-2, 46-3, 46-4, 46-5, 46-6, 46-7, 46-8, 46-9, and .... By answering the gate selection signals S1, S2, and S3 (seeing the timing chart of drawing 9 ) given from the outside, and being in an ON state one by one The signal of the time series outputted to output Rhine 45-1, 45-2, 45-3, and .... from a driver IC 44 is supplied to the signal line which carries out 3 time sharing to 1 horizontal-scanning period, and corresponds to it. [0060] In 3 time-sharing drives mentioned above, since the number of time sharing is odd, the dot reversal drive which a polarity reverses between the contiguity pixels of one line is performed so that clearly

from drawing 8 . In addition, drawing 8 shows the write-in condition to each pixel of the signal level in 3 time-sharing drives shown in drawing 7 . In this drawing, a longitudinal direction shows the order of a scan, a lengthwise direction shows the order of actuation of a time division switch, respectively, and H shows the high voltage and L shows the write-in condition of a low battery, respectively.

[0061] Moreover, the signal line from which the time division switch 46 became OFF will be in a hi-z state, it becomes easy to be influenced of foreign diving potential etc., and it is tended to change the potential of a signal

line in drawing 6 , when inputting signal potential into a signal line 42-1, 42-2, 42-3, and .... from a driver IC 44. For this reason, since one pixel is not R, G, and B lot, in the case of 4 time sharing as shown, for example in drawing 12 (A) etc., potential fluctuation of the signal line for every color is not fixed, and they cause an irregular color of a lengthwise direction.

[0062] On the other hand, since potential fluctuation of the signal line for every color resulting from foreign diving potential etc. will become almost uniform if 3 time sharing of the three signal lines, R, G, and B, is carried out as shown in drawing 12 (B), it can avoid emphasizing some potential fluctuation. In other words, if it R Becomes, it is possible to make it predetermined signal potential by giving offset to R and the chrominance-signal data which will be supplied to a driver IC 44 since it will change by B if it B Becomes, G and if it G Becomes. Moreover, if it is fluctuation of the source potential in tolerance, the gap as a chromaticity signal will not be generated.

[0063] The number of output pins of a driver IC 44 can be reduced by applying a time-sharing drive to a liquid crystal display so that clearly from the above explanation. In 3 time-sharing drives, since the number of output pins of a driver IC 44 is reducible to one third compared with the case where a time-sharing drive is not used, specifically, contraction-ization of the size of the direction of a pin out of a driver IC can be attained.

[0064] If it is made to correspond to the numeric value of the 2nd operation gestalt when the case where the number of output pins of a driver IC 44 is set as the divisor of the total number of a signal line like the 2nd operation gestalt which carried out point \*\* is considered at this time, the divisor to the total number 3072 of a signal line will be set to 1536 (= 512x3). The excessive connection field which does not contribute to image display can be prevented from being generated in the connection part of a driver IC and a signal line by setup of this number of pins.

[0065] Consequently, while being able to attain miniaturization as a liquid crystal display module, being stabilized and supplying good image quality by dot reversal drive from now on to the means of displaying which is in the inclination which a display pixel increases like SXGA (superXGA) or UXGA (ultraXGA), it becomes possible to realize multiple color-ization of color display by the cheap liquid crystal display panel.

[0066] In addition, in the above-mentioned operation gestalt, although XGA means of displaying was taken and explained to the example, the horizontal number of pixels can apply also like each means of displaying of the same SHXGA (super half XGA) and HXGA (half XGA).

[0067] The specification of SHXGA means of displaying is 1024 pixel x480 pixel image display specification, and sets an aspect ratio to 32:15. It is characterized by the ability for this to display XGA specification signal and carry out the full indication of the VGA (video graphics array) specification, without carrying out horizontal scrolling. On the other hand, the specification of HXGA means of displaying is 1024 pixel x384 pixel image display specification, and sets an aspect ratio to 8:3. This is considered to be the portable remote terminal specification of XGA specification.

[0068] Since each number of pixels with each horizontal means of displaying of XGA, SHXGA, and HXGA is 1024 pixels so that clearly from such display specification, each total number of a signal line is 3072, and can be considered in common about the driver IC 44 which drives a signal line.

[0069] By the way, in the field of the liquid crystal display, miniaturization of equipment, especially narrow-width-ization of a liquid crystal display panel are pushed positively in recent years. What is necessary is just to make size (for it to be hereafter called frame size for short) of the frame part of a liquid crystal display panel as small as possible, in order to realize narrow-width-ization of a liquid crystal display panel. Under the present manufacturing technology, the frame size of 4mm or less serves as an aim as an example.

[0070] On the other hand, as a mounting method of the driver IC 44 which is the external circuit of a liquid crystal display panel, for example, when a TAB (Tape Automated Bonding) method is used, Since the pad size of TAB is about 2mm of present, in order to satisfy less than [ frame size 4mm ] It is necessary to hold down the size of the field with TAB, a time division switch 46-1, 46-2, 46-3, 46-4, 46-5, 46-6, 46-7, 46-8, 46-9, and .... which wiring and connection of a between take to 2mm or less.

[0071] Based on the above thing, the case of R, G, and B 3 time-sharing drive is taken for an example, and the example about a setup of the number of a driver IC is explained to the basis of the 2nd operation gestalt which set the number of output pins of a driver IC as the divisor of the total number of a signal line below for every means of displaying.

[0072] First, the case of the liquid crystal display of SXGA means of displaying is explained. The specification of SXGA means of displaying is 1280 pixel x1024 pixel, and since 1 pixel consists of 3 dots, R, G, and B, the total number (= the horizontal number of dots) of a signal line becomes 3840 (= 1280x3) books.

[0073] On the other hand, with the present patterning technique, since wiring width of face is about 4

micrometers and wiring spacing is about 3.5 micrometers, an about 7.5 micrometers [ per wiring of one ] tooth space is needed. As point.\*\* was carried out, when 4mm or less is aimed at as frame size of a liquid crystal display panel, since the tooth space permitted by wiring and connection is 2mm or less, the numeric value of 266 ( $2\text{mm} / 7.5 \text{ micrometers}$ ) book extent is drawn as a maximum wiring number which can wire a frame part. [0074] However, since the flexible cable which connects electrically between the output pin of a driver IC and time division switches to the pitch of the output pin of a driver IC since the wiring pitch of a signal line is larger will be divided into right and left by one half in the frame part of a liquid crystal display panel, it becomes the maximum and twice [ about ] (532 [ i.e., ]) the number (266) which can be maximum wired as the number of output pins of a driver IC.

[0075] In the case of SXGA means of displaying, it is 532 or less, and since it becomes conditions that it is the divisor of the number of signal lines (3840 lines), 320 are set up as the number of output pins of a driver IC, so that clearly from the above thing. And in 3 time-sharing drives, as the number of full force pins of a driver IC, since  $1/3$  of the number of signal lines (3840 lines) is sufficient, by this example, four ( $= 1280/320$ ) individuals are set up as the number of a driver IC.

[0076] namely, in the liquid crystal display of SXGA means of displaying, when 3 time-sharing drives are taken. As shown in drawing 13 , four driver ICs 44-1 to 44-4 which have 320 output pins respectively It will be arranged with spacing with the liquid crystal display panel 40 fixed on the external substrate (not shown) of another object, and will connect with a time division switch (not shown) in the connection part 16 of the frame of the liquid crystal display panel 40 through the flexible cable 15.

[0077] Thus, in the liquid crystal display of SXGA means of displaying, if 3 time-sharing drives are not taken, for example, the general-purpose driver IC of 384 pins is used since the number of a driver IC can be managed with four pieces when 320 are set up as the number of output pins of a driver IC by taking 3 time-sharing drives, compared with the case where the driver IC of ten ( $= 3840/384$ ) individuals is needed,  $2/5$  or less will be the standby power.

[0078] Moreover, it leads also to the cost reduction of a driver IC. And since the number of pins of the driver IC beyond this is expected and a setup of the number of three or less driver ICs will also become possible in connection with it with an advance of an integrated-circuit technique from now on, reduction can be expected from that of power consumption and product cost.

[0079] By the way, it decides on the horizontal scanning time amount of SXGA means of displaying as 21.537 microseconds, 15.63 microseconds, 12.504 microseconds, and 10.971 microseconds on specification. Under this specification, in order to realize the configuration of drawing 10 and drawing 13 , it is necessary to double at 10.971 microseconds which is the for example shortest horizontal scanning time amount.

[0080] Here, since it is the translation which performs 3 time sharing, it is necessary to choose by the time amount below the trichotomy for 10.971 microseconds. That is, it is needed that the sampling time is 3.657 or less microseconds. For 5.21 microseconds, if similarly horizontal scanning time amount becomes for 21.537 microseconds, and it will become for 15.63 microseconds for 7.179 microseconds, and it becomes for 12.504 microseconds, it will become the sampling time for 4.168 or less microseconds.

[0081] Moreover, in the timing chart of drawing 14 , about the standup of an output wave outputted from a driver IC 44 to a signal line, and falling time amount (slew rate), since it is necessary to end in the above-mentioned sampling time, it is necessary to make it smaller than a selection period. In addition, the standup of a driver IC 44 and the definition of falling are time amount which potential displaces to  $0\% \Leftrightarrow 99.75\%$ . As an example, when the signal amplitude of a signal line is 9V, it becomes the error which is 0.00225V.

[0082] Moreover, after the time division switch of R is chosen, it is necessary to establish a blanking period at a period until the 2nd time division switch is chosen. This is to change the signal potential of non-selection-signal Rhine which potential decided. If selection-signal Rhine connected to the time division switch is enlarged, parasitic capacitance and wiring resistance will surely originate in this in \*\*\*\*\*, and delay will generate it in selection Rhine time amount. Since an adjoining time division switch will turn on / turn off at coincidence, it becomes impossible then, to decide the signal potential of a non-choosing signal line.

[0083] The wave form chart of drawing 15 showed this. In drawing 15 , (C) shows the signal output after a time division switch for the period when (B) chooses the period which chooses (A) with the time division switch in an input terminal with the time division switch within a liquid crystal substrate, respectively. Moreover, the case where a dotted line does not establish a blanking period for the case where a continuous line establishes a blanking period is expressed, respectively.

[0084] In case the liquid crystal display of SXGA means of displaying is produced since it changes as the signal

potential of non-selection-signal Rhine which potential decided shows with an alternate long and short dash line when not establishing a blanking period (dotted line) so that clearly from drawing 15 (C), as shown in the timing chart of drawing 14, it is required to set up the blanking period below the horizontal time amount of (scan-time-selection time amount  $\times 3$ ) / 3 (a), (b), and (c). Moreover, in a blanking period (c), as shown in the timing of drawing 14, the gate selection pulse which chooses the gate line of each stage must change.

[0085] A time delay occurs also about this gate selection pulse, and the gate line which adjoins for this reason will turn on / turn off, and will cause fluctuation of pixel potential to coincidence. In order to prevent this, a blanking period is needed also for the change period of a gate selection pulse. Therefore, as a blanking period (c), if horizontal (scan-time-selection time amount  $\times 3$ ) / 3 are insufficient, the time amount beyond it will be needed. In the drive circuit of the selecting switch possessed currently, the short blanking period is required for 40ns, and this serves as the minimum value.

[0086] In the circuitry of the liquid crystal pixel shown in drawing 16 with the gate line 41-1, 42-2, 41-3, and .... Moreover, the capacity Cgs with a signal line (source line) 42-1, 42-2, 43-3, 43-4, and .. which is parasitic in between, With Cs Rhine 48-1 which supplies the common electrical potential difference VCOM to the counterelectrode of a pixel, 48-2, 48-3, and .., between a signal line 42-1, 42-2, 43-3, 43-4, and .. With the signal line 42-1 resulting from the parasitic capacity Ccs, 42-2, 43-3, 43-4, and the diving potential from .... As shown in the wave form chart of drawing 17, induction of the periodic fluctuation of a shake, Cs Rhine 48-1, 48-2, 48-3, and .. of the gate line 41-1, 42-2, 41-3, and .... is carried out. Consequently, a lateral cross talk occurs.

[0087] This Cs Rhine 48-1, 48-2, 48-3, and the fluctuation potential [ .... ] of a shake are especially set to delta s1, delta s2, and delta s3 which are shown in drawing 19. delta s1, delta s2, and delta s3 are the potential difference of a cross talk generating field and a non-generating field here. If this potential difference delta s1, delta s2, and delta s3 is 70mV or less, it turns out that it is not judged as an image. That is, if the present condition and this are filled, it will not be judged as a lateral cross talk.

[0088] In order to prevent periodic fluctuation of a shake, Cs Rhine 48-1, 48-2, 48-3, and .. of the gate line 41-1 resulting from the capacity Cgs between this gate line-signal lines, and the capacity Ccs between Cs Rhine-signal lines, 42-2, 41-3, and .., as point \*\* was carried out, with the large-sized liquid crystal display, the dot reversal drive method which reverses the polarity between the adjoining pixels on the basis of a counterelectrode is adopted. In the case of this dot reversal drive method, build up time and falling time amount turn into time amount which a signal line 42-1, 42-2, 42-3, and .... cannot disregard compared with the conventional liquid crystal display connected to the output pin of a driver IC 44 by 1 to 1.

[0089] When the number of time sharing is 3, the time amount which stabilizes Cs Rhine 48-1, 48-2, 48-3, and .... drops to 1/3 over the past, and conditions become severe. It is necessary to lose the cross talk of the longitudinal direction resulting from a shake of Cs Rhine 48-1, 48-2, 48-3, and .... especially as this cure. For that purpose, as shown in the wave form chart of drawing 18, fall with the standup wave of a driver IC 44, and a wave is made into the symmetry to a time-axis, i.e., it is necessary to fall with build up time and to make time amount equal.

[0090] Thus, in a dot reversal drive, since a part for fluctuation potential can be canceled with the signal of reversed polarity by falling with the standup wave of a driver IC 44, and making a wave into the symmetry to a time-axis, fluctuation of the gate line 41-1, 41-2, 41-3, .... and Cs Rhine 48-1, 48-2, 48-3, and .. is almost lost. The time amount of Cs Rhine 48-1, 48-2, 48-3, and .... by which potential is stabilized becomes short as small, if the amount of this fluctuation is small.

[0091] The simulation result in the case of 17 inch SXGA means of displaying is shown in drawing 20 as an example. When it thinks from this simulation result, the time difference of 3taurise (starting) and 3taufall (falling) is understood that it is desirable that it is 500 or less ns. Thereby, it is necessary to fulfill the following conditions.  $|3\text{taurise}-3\text{taufall}| \leq 500\text{ns}$  or  $|2\text{taurise}-2\text{taufall}| \leq \tau$  — tau is fixed for 0.5 microseconds for 500ns here, 3tau expresses transition 0% to 90%, and 2tau expresses transition 0% to 86%, respectively.

[0092] as what it starts, and falls with a wave here, and a wave expresses symmetric property to — 0%  $\Leftrightarrow$  63% of variation rate — time amount and 0%  $\Leftrightarrow$  86% of variation rate — time amount and 0%  $\Leftrightarrow$  95% of variation rate — time amount and 0%  $\Leftrightarrow$  98% of variation rate — time amount and 0%  $\Leftrightarrow$  99.3% of variation rate — time amount and 0%  $\Leftrightarrow$  99.8% of variation rate — it becomes conditions that time amount is the same. An example of the numeric value of the period in the case of producing the liquid crystal display of SXGA means of displaying to drawing 21 is shown.

[0093] Next, the case of the liquid crystal display of UXGA means of displaying is explained. The specification of UXGA means of displaying is 1600 pixel x1200 pixel, and since 1 pixel consists of 3 dots, R, G, and B, the total

number of a signal line becomes  $4800 (= 1600 \times 3)$  books.

[0094] Here, as the number of full force pins of a driver IC, supposing it sets 320 as the basis of the same conditions as the case of the SXGA means of displaying which carried out point \*\* as the number of output pins of a driver IC, since  $1/3$  of the number of signal lines (4800 lines) is sufficient, in 3 time-sharing drives, by this example, five ( $= 1600/320$ ) individuals will be set up as the number of a driver IC.

[0095] namely, in the liquid crystal display of UXGA means of displaying, when 3 time-sharing drives are taken As shown in drawing 22, five driver ICs 44-1 to 44-5 which have 320 output pins respectively It will be arranged with spacing with the liquid crystal display panel 40 fixed on the external substrate (not shown) of another object, and will connect with a time division switch (not shown) in the connection part 16 of the frame of the liquid crystal display panel 40 through the flexible cable 15.

[0096] In the liquid crystal display of UXGA means of displaying, by taking 3 time-sharing drives, as the number of output pins of a driver IC Thus, since [ for example, ] the number of a driver IC can be managed with five pieces when 320 are set up, If 3 time-sharing drives are not taken, for example, the general-purpose driver IC of 384 pins is used, compared with the case where the driver IC (one piece uses only 92 pins inside) of 13 ( $= 4800/384 = 12$  a little more than 92) individuals is needed,  $5/13$  or less will be the standby power.

[0097] Moreover, it leads also to the cost reduction of a driver IC. And since the number of pins of the driver IC beyond this is expected and a setup of the number of four or less driver ICs will also become possible in connection with it with an advance of an integrated-circuit technique from now on, reduction can be expected from that of power consumption and product cost.

[0098] By the way, it decides on the horizontal scanning time amount of UXGA means of displaying as 16 microseconds, 13.333 microseconds, 12.308 microseconds, 11.429 microseconds, 10.667 microseconds, 10 microseconds, and 9.412 microseconds on specification. Under this specification, in order to realize the configuration of drawing 10 and drawing 22, it is necessary to double at 9.412 microseconds which is the for example shortest horizontal scanning time amount. Here, since it is the translation which performs 3 time sharing, it is necessary to choose by the time amount below the trichotomy for 9.412 microseconds. That is, it is needed that the sampling time is 3.137 or less microseconds.

[0099] For 3.810 microseconds, if similarly horizontal scanning time amount becomes for 16 microseconds, it will become for 13.333 microseconds for 5.333 microseconds, it will become for 12.308 microseconds for 4.444 microseconds, and it will become for 11.429 microseconds for 4.103 microseconds, and it becomes for 10 microseconds; it will become the sampling time for 3.333 or less microseconds.

[0100] In addition, it can say that it is the same as that of the case of the SXGA means of displaying which fell with the standup wave of a setup of the standup of an output wave of a driver IC 44, falling time amount (slew rate), and a blanking period, and the output of a driver IC 44, and carried out point \*\* about symmetric property with a wave. An example of the numeric value of the period in the case of producing the liquid crystal display of UXGA means of displaying to drawing 23 is shown.

[0101] In the above, although the case of the liquid crystal display of each means of displaying of SXGA and UXGA was described, the case of the liquid crystal display of each means of displaying of VGA, HVGA (half VGA), and QVGA (quarterVGA) is described.

[0102] First, the case of the liquid crystal display of VGA means of displaying is explained. The specification of VGA means of displaying is 640 pixel x 480 pixel, and since 1 pixel consists of 3 dots, R, G, and B, the total number of a signal line becomes  $1920 (= 640 \times 3)$  books.

[0103] Supposing it sets 320 as the basis of the conditions same here as the case of each means of displaying of SXGA and UXGA which carried out point \*\* as the number of output pins of a driver IC, in 3 time-sharing drives As the number of full force pins of a driver IC, since  $1/3$  of the number of signal lines (4800 lines) is sufficient, by this example, two ( $= 640/320$ ) individuals are set up as the number of a driver IC.

[0104] namely, in the liquid crystal display of VGA means of displaying, when 3 time-sharing drives are taken As shown in drawing 24, two driver ICs 44-1 which have 320 output pins respectively, and 44-2 spacing with the liquid crystal display panel 40 fixed on the external substrate (not shown) of another object — having — arrangement — it will connect with a time division switch (not shown) in the connection part 16 of the frame of the liquid crystal display panel 40 through <DP N=0011> \*\* and the flexible cable 15.

[0105] In the liquid crystal display of VGA means of displaying, by taking 3 time-sharing drives, as the number of output pins of a driver IC Thus, since [ for example, ] the number of a driver IC can be managed with two pieces when 320 are set up, If 3 time-sharing drives are not taken, for example, the general-purpose driver IC of 384 pins is used, compared with the case where the driver IC (one piece uses only ten pins inside) of six

( $=1920/384=5$  a little more than 10) individuals is needed,  $1/3$  or less will be the standby power.

[0106] Moreover, it leads also to the cost reduction of a driver IC. And since the number of pins of the driver IC beyond this is expected and one setup of a driver IC will also become possible in connection with it with an advance of an integrated-circuit technique from now on, reduction can be expected from that of power consumption and product cost.

[0107] In addition, the specification of HVGA means of displaying is 640 pixel x240 pixel, and since it is the same as VGA means of displaying about the horizontal number of pixels, it is 1920 with the same said of the total number of a signal line. Therefore, when 320 are set up as the number of output pins of a driver IC, the number of the driver IC set up also becomes the two same pieces.

[0108] On the other hand, since the specification of QVGA means of displaying is 320 pixel x240 pixel, the total number of a signal line becomes 960. Here, as the number of full force pins of a driver IC, supposing it sets up 320 as the number of output pins of a driver IC, since  $1/3$  of the number of signal lines (960 lines) is sufficient, as shown in drawing 25, in 3 time-sharing drives, by QVGA means of displaying, one ( $= 320/320$ ) individual will be set up as the number of a driver IC.

[0109] It is a place, for example, is standard VGA specification IBM. In VGA (mode-4) means of displaying, the horizontal scanning time amount is 31.778 microseconds. Here, since it is the translation which performs 3 time sharing, it is necessary to choose by the time amount below the trichotomy for 31.778 microseconds. That is, it is needed that the sampling time is 10.59 or less microseconds. In QVGA means of displaying, when horizontal scanning time amount is set to 63 microseconds, for example, it is needed that the sampling time is 10.59 or less microseconds in 3 time sharing.

[0110] In addition, it can say that it is the same as that of the case of the SXGA means of displaying which fell with the standup wave of a setup of the standup of an output wave of a driver IC 44, falling time amount (slew rate), and a blanking period, and the output of a driver IC 44, and carried out point \*\* about symmetric property with a wave. An example of the numeric value of the period in the case of producing the liquid crystal display of each means of displaying of VGA and QVGA to drawing 26 is shown.

[0111] When the frame size of the liquid crystal display panel 40 is specified in 3 time-sharing drives as mentioned above for example, While determining output pin several n of a driver IC 44 as the basis of the specified frame size with the number of wiring which can wire the wiring field of the frame part When setting to N the total number of the signal line decided by means of displaying, by having set the number of a driver IC 44 as the  $N/n$  individual Since the number of a driver IC can be sharply reduced compared with the case where a time-sharing drive is not taken and standby power can be mitigated sharply, low-power-ization of the whole liquid crystal display is attained.

[0112] By the way, in the blanking period (a) in the timing chart of not only means of displaying but drawing 14, (b), and (c), a time division switch (analog switch) is in an OFF state, and the potential of a signal line is in a definite condition. For this reason, it is not influenced by the output from the driver IC which is Exterior IC. Therefore, it is the futility of power consumption to make this blanking period (a), (b), and (c) drive the output circuit of a driver IC.

[0113] Although an example of the internal configuration of a driver IC was shown in drawing 3, as shown in drawing 27, it is common to it that the output circuit 36 is allotted to the latter part of D/A converter 35 in fact. So, a blanking period (a), (b), and (c) are made to stop an output circuit 36, and suppose that reduction of power consumption is aimed at here. This output circuit 36 serves as circuitry of a voltage follower which consists of an operational amplifier and an output buffer, as shown in drawing 28.

[0114] In the output circuit 36 of this voltage follower circuitry, if the power source of a voltage follower is turned OFF at a blanking period (a), (b), and (c), a current will not flow in the operational amplifier section and an output will be in a high impedance condition. Thus, power consumption can be reduced by making a blanking period (a), (b), and (c) stop an output circuit 36.

[0115] Next, the writing of the data to the driver IC which drives a signal line is explained. Usually, as shown in drawing 29, two memory circuit (1) 71 which have the storage capacity of an one-line phase-splitting this, respectively via three driver ICs 44-1, 44-2, and 44-3, and (2) 72 are connected to the liquid crystal display panel 40.

[0116] And, changing a switch 73 after an appropriate time, and memorizing [ memorize the data for one line to a memory circuit 71, ] data to a memory circuit 72 during the period of one line as follows at first Choose only R with the switch 75 interlocked with a switch 73, are beginning to read R data by one line through a switch 74-1 from a memory circuit 71, and it writes in a driver IC 44-1, 44-2, and 44-3. Next, only G is chosen, G data are



similarly written in by one line, finally only B is chosen, and B data are similarly written in by one line.

[0117] The image is constituted by replacing a memory circuit 71 and a memory circuit 72 at the next one-line period, and repeating the same procedure. Generally, if it transmits 1 dot of data for several level dot minutes at a time to the driver IC at the very end, data are sent in the shape of a rosary, the data for one line are set to two or more driver ICs, and the image is formed each color of every one line by writing the data for one line in the liquid crystal display panel 40 all at once at the time. The image of one sheet consists of repeating this activity by number of perpendicular pixels x3 time.

[0118] However, the horizontal number of pixels also increases with a raise in the pixel of the liquid crystal display of these days, and an image data transfer rate also becomes coincidence early, and the write-in time amount to a liquid crystal display panel is also becoming short. As an example, when the liquid crystal display of SXGA means of displaying is considered, image data are a data transfer rate around 200MHz, and, at present, the driver IC which can write in data at this rate does not exist.

[0119] Then, it enables it to also use the existing driver IC in this operation gestalt by taking the technique of writing separate data in two or more driver ICs at coincidence. An example of the concrete configuration for realizing this is shown in drawing 30. By this example, in order to talk intelligible, it is explained, assuming respectively the number of stages of the shift register 31 (refer to drawing 27) in 30 pixels (R, G, B a total of 90 dots) of horizontals, and a driver IC to be ten steps.

[0120] As shown in drawing 30, memory circuit (1) 71 which have the storage capacity of an one-line phase-splitting this respectively, and memory circuit (2) 72 are prepared, and image data are supplied to a memory circuit 71 or a memory circuit 72 via the switch 73 which changes these. The switch 74-1 to 74-6 which changes each one color of R, G, and B at a time every three terminals is formed in the output side of memory circuits 71 and 72, and the switch 75-1 to 75-3 which changes a memory circuit 71 and a memory circuit 72 to the latter part again further is formed in it. And each selection output of a switch 75-1 to 75-3 is given to a driver IC 44-1 to 44-3.

[0121] Moreover, there is an output of R, G, and B of the same number as the number of driver ICs in memory circuits 71 and 72, and these are constituted so that data of 1-10 dots, 11-20 dots, and 21-30 dots may be outputted in order respectively. On the other hand, if the switch 53 and switch 75-1 to 75-3 which are arranged on the preceding paragraph and the latter part of memory circuits 71 and 72 are interlocking mutually and one of the two chooses a memory circuit 71, another side will choose a memory circuit 72.

[0122] In the above-mentioned configuration, the image data inputted from the outside are stored in a memory circuit 71 by one line through this switch 73, when the switch 73 has changed to the memory circuit 71 side at first. Then, when a switch 73 changes to a memory circuit 72 side, the following image data for one line are stored in a memory circuit 72.

[0123] Then, a memory circuit 71 outputs data of the 1-10th dot to a driver IC 44-1, and outputs data of the 11-20th dot to a driver IC 44-2, and outputs data of the 21-30th dot to a driver IC 44-3. And the image of one sheet consists of the following one line by replacing a memory circuit 71 and a memory circuit 72, performing the same actuation as the above, and repeating this.

[0124] Thus, memorizing the data for one line to a memory circuit 71 at first, and memorizing data to a memory circuit 72 during the next one-line period Choose only R with a switch 74-1 to 74-3, read R data from a memory circuit 71 by one driver IC, and it writes in the driver IC concerned. Separate data can be written in each of a driver IC at coincidence by reading the data also applicable to another driver IC to coincidence, writing in the driver IC concerned, and writing in by the same approach also about G and B.

[0125] If the number of driver ICs is set to n, since the rate which writes data in each driver IC can be slowed down to 1/n by this, an image data transfer rate can process by the driver IC which has the working speed of about 67MHz if 200MHz and several n of a driver IC are three pieces, and the existing driver IC can also fully respond, for example. Moreover, since the time amount which writes all data in each driver IC by one line can be shortened to 1/n, only the part can also extend the write-in time amount to a liquid crystal display panel.

[0126] By the way, in the conventional liquid crystal display, the electrical-potential-differences permeability property of R, G, and B was not in agreement. Since wavelength is different for every color, depending on the wavelength, a difference arises in the refractive index in liquid crystal intramolecular, and an electrical potential difference and the permeability property of the reason are because R has shifted to the negative electrical-potential-difference side to B as a result.

[0127] To drawing 31 (A), it is TN (twist nematic). The property curve (V-T curve) of the electrical potential difference impressed to the transmission of liquid crystal and liquid crystal at the time of using liquid crystal is



shown. The V-T curve has usually shifted by R (transmitted wave length is 600nm – 660nm), G (transmitted wave length is 370nm – 460nm), and B (transmitted wave length is 530nm – 550nm) so that clearly from this property Fig.

[0128] This is because a difference is in the refractive index of a liquid crystal molecule depending on wavelength. Since the direction of R with long wavelength has the small refractive index, when an electrical potential difference is impressed to liquid crystal, 90-degree rotation of the light by liquid crystal is spoiled promptly. Since the refractive index is large, as for B, 90-degree rotation of light is maintained to the last. For this reason, in a V-T curve, even if it impresses the same electrical potential difference, a difference occurs in permeability.

[0129] In the liquid crystal display concerning this invention of a configuration of having arranged the time division switch (analog switch) to the horizontal direction in a liquid crystal substrate, signal lines other than a selecting switch are floating, and are influenced of the diving of the signal potential between adjoining signal lines in this condition. That is, the capacity between Rhine will exist between the signal lines of a pixel, in drawing 32 which shows the surrounding equal circuit of a time division switch, if a switch S2 is chosen after a switch S1 is chosen (a) (b), the signal of "H" level of a switch S2 jumps into a switch S1, the electrical potential difference currently held will jump in and only a capacitive component will increase.

[0130] When this sets capacity between signal lines to  $C_{sig1}$  and capacity of one signal line is set to  $C_{sig2}$ , electrical-potential-difference  $\Delta V$  by diving is  $\Delta V = V_{sig} \times C_{sig1} / (C_{sig1} + C_{sig2})$ . — It is set to (1). Here, it is  $V_{sig}$ . It is the amplitude electrical potential difference of the signal level inputted into the selected signal line. What is necessary is just to determine that this value complements the shift amount of the applied voltage in the condition of the same permeability of the halftone in the V-T curve of liquid crystal exactly.

[0131] The shift amount of the electrical potential difference of R and B is 0.3V, and applies this to electrical-potential-difference  $\Delta V$  by diving. Incidentally, by the 1HVCOM (common) reversal driving method, since a polar electrical potential difference with same 1 H hour is impressed to a signal line, when the following switch S2 is chosen, the potential of the held signal line increases about the switch S1 chosen previously.

[0132] Moreover, a switch S3 is chosen as a degree (c). This means that jump in from switch S3' which adjoins a switch S1, and potential is inputted. Finally, about a switch S1, it will be influenced twice of the diving between signal lines once about a switch S2:

[0133] Here, paying attention to this phenomenon, how to complement the electrical-potential-difference shift of a V-T curve depending on the color of liquid crystal is described. Incidentally, about the 1H reversal driving method, the V-T curve described previously is complemented as arrangement which sets to R the signal line chosen as G and the 3rd in the signal line chosen as B and the 2nd in the signal line chosen as the 1st so that clearly from the timing chart of drawing 33.

[0134] On the other hand, since a reverse polarity is always impressed between adjoining signal lines when performing a dot reversal drive, as signal potential (amplitude potential), it jumps in towards becoming small, and an electrical potential difference occurs. That is, if a switch S1 is written in on "H" level and a switch S2 is written in on "L" level (a) and after that as shown in drawing 34, the potential of "L" level will jump in to the switch S1 in (b) and the condition of not choosing. Then, although "H" level is written in a switch S3, to (c) and switch S1' which adjoins a switch S3, the diving of "H" level occurs similarly.

[0135] However, since switch S3' which adjoins a switch S1 is a dot reversal drive, it is set to "L" level. This jumps into a switch S1' and an electrical potential difference decreases further. After all, to the switch S1 chosen as the very first, the electrical potential difference which decreases a signal level occurs twice, and the electrical potential difference which decreases a signal level occurs once to a switch S2.

[0136] In order to make it make an electrical-potential-difference shift [ in / for this / the V-T curve of R, G, and B of liquid crystal ] complement, it turns out that it is desirable to set to R the signal line chosen as the very first, to set the 2nd to G and to set the 3rd to B so that clearly from the timing chart of drawing 35.

[0137] By taking the above approach, as shown in drawing 31 (B), the property curve of the electrical-potential-difference-transmission in halftone is complemented and the display faithful to a picture signal of it is attained. The relation of the scanning direction of the pixel array concerning this invention and a time division switch is shown in drawing 36. In this drawing, (A) shows the case of the 1H reversal driving method, and (B) shows the case of the dot reversal driving method, respectively.

[0138] In addition, since the approach mentioned above is using positively the capacity which exists between signal lines for the complement of the electrical-potential-difference-permeability property of liquid crystal, it does not need complicated circuitry, but is the point which can be attained by making only a color array into predetermined sequence, and can be said to be very large [ the effectiveness ].

[0139] However, it is necessary to fulfill the conditions of  $\Delta V = V_{sig} \times C_{sig1} / (C_{sig1} + C_{sig2}) \leq$  (electrical-potential-difference difference of R and G of the electrical-potential-difference-permeability property within liquid crystal) to (1) type having shown previously the capacity  $C_{sig1}$  between signal lines, and the capacity  $C_{sig2}$  of the signal line itself. For example, amplitude electrical potential difference  $V_{sig}$  of the signal level as which the electrical-potential-difference difference of R and G of the electrical-potential-difference-permeability property within liquid crystal is inputted into 0.15V and the selected signal line What is necessary is just to design so that  $1/(C_{sig1} + C_{sig2})$  may serve as  $C_{sig0.017}$  in order to amend this, when it is 9V.

[0140] Thus, in the liquid crystal display of each means of displaying, since the transmission of R, G, and B near halftone is in agreement by having made it generate signal potential which amends the curve of the electrical-potential-difference-transmission (V-T) property of R, G, and B, a more faithful color expression is attained from a driver IC 44 to a picture signal. Moreover, color precision can be raised, without reducing the manufacture yield, since complicated circuitry is not needed.

[0141]

[Effect of the Invention] In the liquid crystal display according to this invention as explained above In case each number of output terminals is set as the same number and arranged in order with each and correspondence relation of a signal line for two or more trains, when a fraction comes out of two or more driver circuits to the signal line for two or more trains, Since it can connect with each of a signal line, without making the output terminal of a driver circuit remain by having set the one number of output terminals in two or more driver circuits as the above-mentioned fraction, On a liquid crystal display panel, the excessive connection field which does not contribute to image display is not generated, but, therefore, horizontal narrow-width-ization of a liquid crystal display panel is attained.

[0142] Moreover, it sets to other liquid crystal displays by this invention. Each number of output terminals of two or more driver circuits by having made it set it as the divisor of the total number of the signal line for two or more trains Since it can connect with each of a signal line, without a fraction's not arising in a signal line but making the output terminal of a driver circuit remain, on a liquid crystal display panel, the excessive connection field which does not contribute to image display is not generated, but, therefore, horizontal narrow-width-ization of a liquid crystal display panel is attained.

---

[Translation done.]

#### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the plugging chart of the liquid crystal display section in the matrix mold liquid crystal display concerning this invention.

[Drawing 2] It is the circuitry Fig. of a pixel.

[Drawing 3] It is the block diagram showing an example of the internal configuration of a driver IC.

[Drawing 4] It is the outline block diagram showing the 1st operation gestalt of this invention.

[Drawing 5] It is the outline block diagram showing the 2nd operation gestalt of this invention.

[Drawing 6] It is the plugging chart of the liquid crystal display section in the matrix mold liquid crystal display using a time-sharing drive.

[Drawing 7] It is the connection block diagram of the time division switch in 3 time-sharing drives.

[Drawing 8] It is drawing showing the write-in condition to each pixel of the signal level in 3 time-sharing drives.

[Drawing 9] It is the timing chart of each signal in 3 time-sharing drives.

[Drawing 10] It is the circuit diagram showing the concrete configuration of 1 set of some time division switches.

[Drawing 11] It is cross-section structural drawing showing an example of a thin film transistor, and (a) swerves from the case of bottom gate structure, (b) swerves from the case of top gate structure, and it is swerved and shown.

[Drawing 12] In the case of 4 time sharing, in the case of (A) and 3 time sharing, it is a comparison Fig. with (B).

[Drawing 13] It is the block diagram of an example of the liquid crystal display of SXGA means of displaying.

[Drawing 14] It is a timing chart for explanation of SXGA means of displaying of operation.

[Drawing 15] It is a wave form chart for explaining the difference when not preparing with the case (continuous line) where a blanking period is established (dotted line).

[Drawing 16] It is the circuit diagram showing the circuitry of a liquid crystal pixel.

[Drawing 17] It falls with the standup wave of a driver IC, and a wave is a wave form chart in the case of being unsymmetrical to a time-axis.

[Drawing 18] It falls with the standup wave of a driver IC, and a wave is a wave form chart in the case of the symmetry to a time-axis.

[Drawing 19] It is the explanatory view [ potential / of Cs Rhine ] of a shake.

[Drawing 20] It is drawing showing taurise in the case of 17 inch SXGA means of displaying, and the simulation result [ Rhine / the time difference of taufall, and / Cs ] of a shake.

[Drawing 21] It is drawing showing an example of the numeric value of the period in the case of SXGA means of displaying.

[Drawing 22] It is the block diagram of an example of the liquid crystal display of UXGA means of displaying.

[Drawing 23] It is drawing showing an example of the numeric value of the period in the case of UXGA means of displaying.

[Drawing 24] It is the block diagram of an example of the liquid crystal display of VGA means of displaying.

[Drawing 25] It is the block diagram of an example of the liquid crystal display of QVGA means of displaying.

[Drawing 26] It is drawing showing an example of the numeric value of the period in the case of each means of displaying of VGA and QVGA.

[Drawing 27] It is the block diagram showing other examples of the internal configuration of a driver IC.

[Drawing 28] It is the block diagram showing an example of the configuration of the output circuit in a driver IC.

[Drawing 29] It is the block diagram showing the conventional example of the configuration of the memory circuit circumference.

[Drawing 30] It is the block diagram showing the example of amelioration of the configuration of the memory circuit circumference.

[Drawing 31] It is the property Fig. of the V-T curve of the liquid crystal at the time of using TN liquid crystal.

[Drawing 32] It is the representative circuit schematic showing an example of the configuration of the circumference of a time division switch.

[Drawing 33] It is a timing chart for explaining actuation of the equal circuit of drawing 30.

[Drawing 34] It is the representative circuit schematic showing other examples of the configuration of the circumference of a time division switch.

[Drawing 35] It is a timing chart for explaining actuation of the equal circuit of drawing 32.

[Drawing 36] It is drawing showing the relation of the scanning direction of a pixel array and a time division switch, and (A) shows the case of the 1H reversal driving method, and (B) shows the case of the dot reversal driving method, respectively.

[Drawing 37] It is the outline block diagram showing the conventional example.

[Description of Notations]

10 40 — A liquid crystal display panel, 11-1 to 11-3, 41-1 to 41-3 — Gate line, 12-1 to 12-6, 42-1 to 42-6 — 13 A signal line, 43 — Vertical-drive circuit, 14-1 to 14-3, 44-1 to 44-5 — A driver IC, 20 — Pixel, 21 [ — Level transfer register, ] — A thin film transistor, 22 — Addition capacity, 23 — Liquid crystal capacity, 31 32 [ — A D/A converter (digital-to-analog circuit), 36 / — 71. An output circuit, 72 / — Memory circuit ] — A sampling switch group, 33 — A level shifter, 34 — A data latch group, 35

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-338438

(43) 公開日 平成11年(1999)12月10日

(51) Int.Cl.<sup>8</sup> 識別記号  
 G 0 9 G 3/36  
 G 0 2 F 1/133 5 5 0  
 1/136 5 0 0

F I  
 G 0 9 G 3/36  
 G 0 2 F 1/133 5 5 0  
 1/136 5 0 0

審査請求 未請求 請求項の数19 O L (全 27 頁)

(21) 出願番号 特願平10-241392

(22) 出願日 平成10年(1998) 8 月27日

(31) 優先権主張番号 特願平10-76813

(32) 優先日 平10(1998) 3 月25日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72) 発明者 猪野 益充

東京都品川区北品川 6 丁目 7 番35号 ソニ  
株式会社内

(72) 発明者 前川 敏一

東京都品川区北品川 6 丁目 7 番35号 ソニ  
株式会社内

(72) 発明者 仲島 義晴

東京都品川区北品川 6 丁目 7 番35号 ソニ  
株式会社内

(74) 代理人 弁理士 船橋 國則

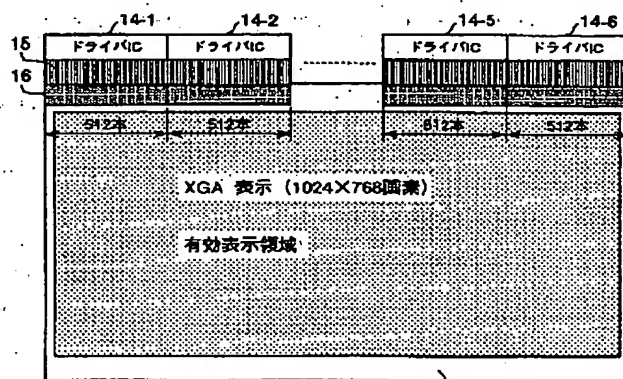
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 表示方式によって総本数が決まる信号ライン  
 に対して汎用ドライバ I C を使用すると、ドライバ I C  
 のピン数が余る場合があり、その余分なピン部分が液晶  
 表示パネルの左右の額縁部分を占めることになるため、  
 液晶表示装置全体のコンパクト化が困難となる。

【解決手段】 マトリクス状に配線された複数行分のゲ  
 ートラインと複数列分の信号ラインとの交差点に複数個  
 の画素が 2 次元配置されてなる液晶表示パネル 1 0 と、  
 この液晶表示パネル 1 0 の各画素に複数列分の信号ライ  
 ンを介して所定の電圧を与える複数のドライバ I C 1 4  
 -1, 1 4-2, ……とを備え、これら複数のドライバ I C  
 1 4-1, 1 4-2, ……のそれぞれの出力ピン数を、複数  
 列分の信号ラインの総本数の約数に設定して信号ライン  
 に端数が生じないようにする。



10 液晶表示パネル

(2)

【特許請求の範囲】

【請求項1】 マトリクス状に配線された複数行分のゲートラインと複数列分の信号ラインとの交差点に複数個の画素が2次元配置されてなる表示部と、前記表示部の各画素に前記複数列分の信号ラインを介して信号電位を与える複数のドライバ回路とを備え、前記複数のドライバ回路をそれぞれの出力端子数を同じ数に設定して前記複数列分の信号ラインの各々に対応関係をもって順に配置する際に、前記複数列分の信号ラインに端数が出るとき、前記複数のドライバ回路のうちの1つの出力端子数を前記端数に設定することを特徴とする液晶表示装置。

【請求項2】 前記複数のドライバ回路は、前記表示部が形成される透明絶縁基板の外部に配されたドライバICであることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 マトリクス状に配線された複数行分のゲートラインと複数列分の信号ラインとの交差点に複数個の画素が2次元配置されてなる表示部と、前記表示部の各画素に前記複数列分の信号ラインを介して信号電位を与える複数のドライバ回路とを備え、前記複数のドライバ回路のそれぞれの出力端子数を、前記複数列分の信号ラインの総本数の約数に設定することを特徴とする液晶表示装置。

【請求項4】 前記複数のドライバ回路のそれぞれの出力端子数が同じ数であることを特徴とする請求項3記載の液晶表示装置。

【請求項5】 前記複数のドライバ回路のそれぞれの出力端子数が2のべき乗であることを特徴とする請求項3記載の液晶表示装置。

【請求項6】 前記複数のドライバ回路は、前記表示部が形成される透明絶縁基板の外部に配されたドライバICであることを特徴とする請求項3記載の液晶表示装置。

【請求項7】 前記複数のドライバ回路に書き込むためのデータを一時的に記憶する記憶回路と、前記複数のドライバ回路に対して同時に別々のデータを前記記憶回路から書き込むべく制御する制御回路とを有することを特徴とする請求項3記載の液晶表示装置。

【請求項8】 前記表示部に隣接する額縁部分のサイズが規定されるとき、その規定された額縁サイズのもとに、その額縁部分の配線領域に配線可能な配線数によって前記複数のドライバ回路のそれぞれの出力端子数 $n$ が決定されることを特徴とする請求項4記載の液晶表示装置。

【請求項9】 前記ドライバ回路の個数は、表示方式によって決まる前記複数列分の信号ラインの総本数を $N$ とすると、 $N/n$ 個に設定されることを特徴とする請求項8記載の液晶表示装置。

【請求項10】 前記複数のドライバ回路の各々から出

力される信号電位を時分割にて前記複数列分の信号ラインに与える時分割スイッチを有することを特徴とする請求項3記載の液晶表示装置。

【請求項11】 前記複数のドライバ回路の信号出力波形は、立ち上がり、立ち下がり共に時間軸に対して対称であることを特徴とする請求項10記載の液晶表示装置。

【請求項12】 前記時分割スイッチの時分割数が3であることを特徴とする請求項10記載の液晶表示装置。

【請求項13】 前記時分割スイッチで選択する期間は、水平走査期間の3分の1以下の期間であることを特徴とする請求項12記載の液晶表示装置。

【請求項14】 前記複数のドライバ回路の立ち上がり時間および立ち下がり時間は、前記時分割スイッチで選択する期間以下であることを特徴とする請求項13記載の液晶表示装置。

【請求項15】 前記時分割スイッチの選択期間の間に生じるブランキング期間は、 $(\text{水平走査期間} \div \text{時分割スイッチの選択期間} \times 3) \div 3$ 以下であることを特徴とする請求項13記載の液晶表示装置。

【請求項16】 前記複数のドライバ回路は、前記ブランキング期間においてその出力回路の動作を停止する機能を持つことを特徴とする請求項15記載の液晶表示装置。

【請求項17】 前記複数のドライバ回路は、R（赤）、G（緑）、G（青）の電圧-透過率特性のカーブを補正するような信号電位を発生することを特徴とする請求項12記載の液晶表示装置。

【請求項18】 1H（Hは水平走査期間）反転駆動又は1Hコモン反転駆動において、前記時分割スイッチによって1番目に選択される信号ラインが青、2番目に選択される信号ラインが緑、2番目に選択される信号線が赤であることを特徴とする請求項12記載の液晶表示装置。

【請求項19】 ドット反転駆動において、前記時分割スイッチによって1番目に選択される信号ラインが赤、2番目に選択される信号ラインが緑、2番目に選択される信号線が青であることを特徴とする請求項10記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置（LCD；Liquid Crystal Display）に関し、特に各画素に信号電位を与えるドライバ回路を、液晶表示パネルの外部回路として設けてなるマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】パーソナルコンピュータやワードプロセッサなどに用いられている液晶表示装置は、マトリクス型が主力となっている。このマトリクス型液晶表示装置

(3)

は、応答速度や画像品質の面で優れており、近年のカラー化に最適な表示装置となってきた。この種の表示装置において、液晶表示パネルの各画素には、トランジスタあるいはダイオードなどの非線形な素子が用いられている。具体的には、ガラス基板上に薄膜トランジスタ(TFT; thin film transistor)を形成した構造となっている。

【0003】ところで、特に大型の液晶表示装置においては、各画素に所定の電圧を印加するドライバICを、液晶表示パネルの外部に設けた構成を採っている。そして、外部のドライバICの出力と液晶表示パネルの信号ラインとは、通常、1対1の対応関係となっている。すなわち、ドライバICの各出力端子からの出力電圧はそのまま対応する信号ラインに与えられるようになっている。

【0004】したがって、例えばR(赤)、G(緑)、B(青)の各色ごとに1024本、即ち3072(=1024×3)本の信号ラインを持つXGA(extended graphics array)表示方式の液晶表示装置において、各信号ラインに対して例えば120本の出力ピン(出力端子)を持つ既存の汎用ドライバICを接続しようとする

【0005】

【発明が解決しようとする課題】しかしながら、上述したように、表示方式によって総本数が決まる信号ラインに対して汎用ドライバICを使用すると、ドライバICのピン数が余ることが発生する。例えば、3072本の信号ラインに対して、120本の出力ピンを持つ汎用ドライバICを26個用いた場合、最後に配置されるドライバICの出力ピンが48(=120×26-3072)個だけ余ることになる。

【0006】そして、液晶表示パネルのサイズの観点から考えると、図37に示すように、ドライバIC101の出力ピンにおける余分なピン部分が、画像表示に寄与しない余分な接続領域となり、液晶表示パネル102の左右の額縁部分を占めることになるため、液晶表示パネル102の水平方向のサイズが増すことになり、その結果、液晶表示装置全体のコンパクト化の妨げとなる。なお、図37において、ドライバIC101は、フレキシブルケーブル103を介して液晶表示パネル102上の接続部分104にて信号ラインの各々に接続される。

【0007】また、階調を伴うカラー表示を行う場合には、各画素の薄膜トランジスタに印加する電圧を出力する出力バッファ回路や階調制御回路の構成が複雑になり、ドライバIC自体も高価なものとなる。このような高価なドライバICを、その余った出力ピンに対応する回路部分が表示に全く寄与しない状態で用いることは無駄であり、また液晶表示装置のコストアップにもつながる。

4

【0008】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、外部ドライバICを用いる場合において、液晶表示パネルの水平方向の狭幅化を可能とした液晶表示装置を提供することにある。

【0009】

【課題を解決するための手段】本発明による液晶表示装置は、マトリクス状に配線された複数行分のゲートラインと複数列分の信号ラインとの交差点に複数個の画素が2次元配置されてなる表示部と、この表示部の各画素に複数列分の信号ラインを介して所定の電圧を与える複数のドライバ回路とを備え、この複数のドライバ回路をそれぞれの出力端子数を同じ数に設定して複数列分の信号ラインの各々に対応関係をもって順に配置する際に、複数列分の信号ラインに端数が出る時、複数のドライバ回路のうちの1つの出力端子数を上記端数に設定する。

【0010】上記構成の液晶表示装置において、複数のドライバ回路のうちの1つの出力端子数を、信号ラインの端数に設定することで、最終的に複数のドライバ回路に対して信号ラインには端数が生じない。したがって、ドライバ回路の出力端子を余らせることなく信号ラインの各々と接続することができるため、表示部には画像表示に寄与しない余分な接続領域が生じない。

【0011】本発明による他の液晶表示装置は、マトリクス状に配線された複数行分のゲートラインと複数列分の信号ラインとの交差点に複数個の画素が2次元配置されてなる表示部と、この表示部の各画素に複数列分の信号ラインを介して所定の電圧を与える複数のドライバ回路とを備え、この複数のドライバ回路のそれぞれの出力端子数を、複数列分の信号ラインの総本数の約数に設定する。

【0012】上記構成の他の液晶表示装置において、ドライバ回路の出力端子数を設定する際に、各々の出力端子数を信号ラインの総本数の約数に設定し、この出力端子数で決まる個数のドライバ回路を配置する。これにより、複数のドライバ回路に対して信号ラインには端数が生じない。したがって、ドライバ回路の出力端子を余らせることなく信号ラインの各々と接続することができるため、表示部には画像表示に寄与しない余分な接続領域が生じない。

【0013】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しつつ詳細に説明する。

【0014】図1は、本発明に係るマトリクス型液晶表示装置における液晶表示部の配線図である。このマトリクス型液晶表示装置は、複数行分のゲートライン11-1、11-2、11-3、……と複数列分の信号ライン12-1、12-2、12-3、……が、液晶の表面にマトリクス状に配線され、その液晶の裏面側にバックライトが配置された構造となっている。そして、ゲートライン11-1、11-2、11-3、……と信号ライン12-1、12-2、



(4)

5

2, 12-3, ……の交差点が画素となり、液晶表示パネル（表示部）10を形成している。この画素の構成については後述する。

【0015】複数行分のゲートライン11-1, 11-2, 11-3, ……の各一端は、垂直駆動回路13の対応する行の各出力端にそれぞれ接続されている。垂直駆動回路13は、上記液晶表示パネルと同一の基板上に薄膜トランジスタによって形成されており、ゲートライン11-1, 11-2, 11-3, ……に順に走査パルスを与えて各画素を行単位で選択することによって垂直走査を行う。なお、本例では、垂直駆動回路13を液晶表示パネル10の片側にのみ配する構成としたが、液晶表示パネル10の両側に配する構成であっても良いことは勿論である。

【0016】また、信号ライン12-1, 12-2, 12-3, ……に画像データに応じた所定の電圧を印加する複数のドライバIC14-1, 14-2, 14-3, ……が、上記液晶表示パネル10の外部回路として設けられている。複数のドライバIC14-1, 14-2, 14-3, ……には、例えば8階調以上で512色以上の表示を可能にするデジタル画像データが入力される。

【0017】図2は、画素の回路構成図である。同図から明らかなように、各画素20は、薄膜トランジスタ21、付加容量22および液晶容量23から構成されている。薄膜トランジスタ21は、そのゲート電極がゲートライン11-1, 11-2, 11-3, ……に、そのソース電極が信号ライン12-1, 12-2, 12-3, ……にそれぞれ接続されている。

【0018】この画素構造において、液晶容量23は、薄膜トランジスタ21で形成される画素電極と、これに対応して形成される対向電極との間で発生する容量を意味する。そして、この画素電極に保持される電位は、“H”もしくは“L”の電位で書き込まれる。ここで、“H”は高電圧書き込み状態を示し、“L”は低電圧書き込み状態を示す。

【0019】液晶の駆動に際しては、対向電極の電位（コモン電位VCOM）を例えば6VのDC電位に設定し、これに対して信号電圧を高電圧H、低電圧Lで1フィールド周期にて周期的に変動させることにより、交流駆動が実現できる。この交流駆動は、液晶分子の分極作用を減少することができ、液晶分子の帯電もしくは電極表面に存在する絶縁膜の帯電を防ぐことが可能となる。

【0020】一方、画素20では、薄膜トランジスタ21がオン状態となると、液晶での光透過率が変化するとともに、付加容量22が充電される。この充電により、薄膜トランジスタ21がオフ状態となっても、付加容量22の充電電圧による液晶での光透過率状態が、次に薄膜トランジスタ21がオン状態となるまでの間保持される。このような方式により、液晶表示パネル10の画像における画質向上が図られる。

6

【0021】図3は、ドライバIC14-1, 14-2, 14-3, ……の内部構成の一例を示すブロック図である。図3から明らかなように、これらドライバICは、水平シフトレジスタ回路31、サンプリングスイッチ群32、レベルシフタ33、データラッチ回路34およびデジタルアナログ変換回路35を有し、本例では、例えば5ビットのデジタル画像データdata1～data5や電源電圧Vdd, Vssを水平シフトレジスタ回路31のシフト方向における両側から取り込む構成となっている。

【0022】上記構成のドライバIC14-1, 14-2, 14-3, ……において、水平シフトレジスタ回路31は、水平走査パルスを順次出力することによって水平走査（列走査）を行う。サンプリングスイッチ群32におけるサンプリングスイッチの各々は、水平シフトレジスタ回路31からの水平走査パルスにตอบสนองして、入力されるデジタル画像データdata1～data5を順次サンプリングする。

【0023】レベルシフタ33は、サンプリングスイッチ群32でサンプリングされた例えば5Vのデジタルデータを液晶駆動電圧のデジタルデータに昇圧する。データラッチ回路34は、レベルシフタ33で昇圧されたデジタルデータを1水平期間分蓄積するメモリである。デジタルアナログ変換回路35は、データラッチ回路34から出力される1水平期間分のデジタルデータをアナログ信号に変換して出力する。

【0024】上述した構成の液晶表示装置において、本発明の特徴とするところは、液晶表示パネル10の信号ライン12-1, 12-2, 12-3, ……の各々と、複数のドライバIC14-1, 14-2, 14-3, ……の各出力ピン（出力端子）との接続部分の構成にある。以下に、その具体的な実施形態について説明する。

【0025】先ず、例えばXGA表示方式の液晶表示装置に適用した第1実施形態につき、図4を用いて説明する。

【0026】液晶表示パネル10は、XGA表示の場合、R, G, Bの各色ごとに1024本、即ち3072（＝1024×3）本の信号ライン12-1, 12-2, 12-3, ……を持っている。一方、ドライバIC14-1, 14-2, 14-3, ……として、例えば120本の出力ピンを持つ汎用ドライバICを用い、信号ライン12-1, 12-2, 12-3, ……の各々に対応して順に配置するものとする。

【0027】このとき、120本の出力ピンを持つ汎用ドライバICを25個配置したとすると、信号ラインには72（＝3072－120×25）本の端数が出る。そこで、この端数の72本の信号ラインを担うドライバICとして、120本の出力ピンを持つ汎用のドライバICではなく、72本の出力ピンを持つドライバICを用い、当該ドライバICを含む計26個のドライバIC



(5)

14-1, 14-2, 14-3, …… , 14-26 を水平方向に順に配置するようにする。

【0028】この72本の出力ピンを持つドライバICは、例えば図4に示すように、ドライバICを順に配置する際に、例えば26番目に配置されるドライバIC14-26として用いられる。すなわち、他の25個のドライバIC14-1, 14-2, 14-3, …… , 14-25に割り当てられる信号ラインの本数は120本であるのに対し、26番目のドライバIC14-26に割り当てられる信号ラインの本数は72本となる。

【0029】このように配置された26個のドライバIC14-1, 14-2, 14-3, …… , 14-26は、各々の出力ピンがフレキシブルケーブル15を介して液晶表示パネル10上の接続部分16にて信号ライン12-1, 12-2, 12-3, ……の各々に接続され、これら信号ライン12-1, 12-2, 12-3, ……を介して各画素に所定の電圧を印加するようになる。

【0030】上述したように、ドライバIC14-1, 14-2, 14-3, ……として出力ピン数が同数の例えば汎用ドライバICを用いる場合において、これらのドライバICを信号ライン12-1, 12-2, 12-3, ……の各々に対応関係を持って順に配置する際に、信号ラインに端数が出るとき、ドライバIC14-1, 14-2, 14-3, ……のうちの1つの出力ピン数をその端数に設定することで、最終的に信号ラインには端数が生じず、ドライバICの出力ピンを余らせることなく信号ラインの各々と接続することができる。その結果、液晶表示パネル10には、画像表示に寄与しない余分な接続領域が生じない。

【0031】なお、本実施形態においては、信号ラインの端数分を担うドライバICが配置される位置を最後（本例では、26番目）としたが、これに限られるものではなく、どの位置に配置することも可能である。また、本例で示した数値は一例に過ぎず、これらの数値に限定されるものではない。

【0032】次に、例えばXGA表示方式の液晶表示装置に適用した第2実施形態につき、図5を用いて説明する。

【0033】液晶表示パネル10は、XGA表示の場合、先述したように、R, G, Bの各色ごとに1024本、即ち3072本の信号ライン12-1, 12-2, 12-3, ……を持っている。この3072本の信号ライン12-1, 12-2, 12-3, ……に対して、複数のドライバIC14-1, 14-2, 14-3, ……を配置するのであるが、このとき、ドライバIC14-1, 14-2, 14-3, ……の出力ピン数を、信号ライン12-1, 12-2, 12-3, ……の総本数（即ち、水平表示ドット数）の約数に設定する。

【0034】XGA表示では、信号ライン12-1, 12-2, 12-3, ……の総本数が3072本であることが

8

ら、一例として、ドライバIC14-1, 14-2, 14-3, ……の出力ピン数を3072の約数でかつ好ましくは2のべき乗（累乗）である512（ $=2^9$ ）本に設定する。これにより、6（ $=3072/512$ ）個のドライバICが必要となり、この6個のドライバIC14-1, 14-2, 14-3, …… , 14-6を信号ライン12-1, 12-2, 12-3, ……の各々に対応関係をもって順に配置すれば良いことになる。

【0035】このように配置された6個のドライバIC14-1, 14-2, 14-3, …… , 14-6は、各々の出力ピンがフレキシブルケーブル15を介して液晶表示パネル10上の接続部分16にて信号ライン12-1, 12-2, 12-3, ……の各々に接続され、これら信号ライン12-1, 12-2, 12-3, ……を介して各画素に所定の電圧を印加するようになる。

【0036】上述したように、ドライバIC14-1, 14-2, 14-3, ……の出力ピン数を設定する際に、各々の出力ピン数を信号ライン12-1, 12-2, 12-3, ……の総本数の約数に設定し、この出力ピン数で決まる個数のドライバICを配置することで、信号ラインには端数が生じず、ドライバICの出力ピンを余らせることなく信号ラインの各々と接続することができる。その結果、液晶表示パネル10には、画像表示に寄与しない余分な接続領域が生じない。

【0037】なお、本例で示した数値は一例に過ぎず、これらの数値に限定されるものではない。ここで、ドライバICの個数が少なければ少ないほど低コスト化に有利であり、逆に多ければ回路の一部に不良箇所が発生した場合にその不良箇所を含むICのみを交換することで対応できるという利点がある。したがって、ドライバICの出力ピン数を設定するに際しては、その出力ピン数で決まるドライバICの個数などを考慮して決めるようにすれば良い。

【0038】また、本実施形態では、XGA（1024画素×768画素）表示に適用した場合について説明したが、他の表示方式、例えばNTSC（640画素×480画素）表示、VGA（800画素×600画素）表示、SXGA（1280画素×1024画素）表示、UXGA（1600画素×1400画素）表示にも適用できることは言うまでもない。

【0039】さらに、上記各実施形態においては、外部ドライバIC14-1, 14-2, 14-3, ……の各出力ピンと信号ライン12-1, 12-2, 12-3, ……とが1対1の対応関係にある液晶表示装置に適用した場合を例に採って説明したが、1:1の対応関係にない液晶表示装置にも適用可能である。すなわち、いわゆる時分割駆動法を用いた液晶表示装置では、外部ドライバICの出力ピンと信号ラインとは1:1の対応関係がなく、この種の液晶表示装置にも適用可能である。

【0040】ここで、時分割駆動法とは、複数本の信号

(6)

9

ラインを1単位（ブロック）とし、この1分割ブロック内の複数本の信号ラインに与える信号を時系列でドライバICから出力する一方、液晶表示パネルには複数本の信号ラインを1単位として時分割スイッチを設け、これら時分割スイッチにてドライバICから出力される時系列の信号を時分割して複数本の信号ラインに順次与える駆動方法である。この時分割駆動法を用いることで、ドライバICの出力ピン数を削減できる。

【0041】図6は、時分割駆動法を用いたマトリクス型液晶表示装置における液晶表示部の配線図である。このマトリクス型液晶表示装置は、複数行分のゲートライン41-1、41-2、41-3、……と複数列分の信号ライン42-1、42-2、42-3、……が、液晶の表面にマトリクス状に配線され、その液晶の裏面側にバックライトが配置された構造となっている。そして、ゲートライン41-1、41-2、41-3、……と信号ライン42-1、42-2、42-3、……の交差点が画素となり、液晶表示パネル40を形成している。この画素は、例えば図2に示す構成となっている。

【0042】複数行分のゲートライン41-1、41-2、41-3、……の各一端は、垂直駆動回路43の対応する行の各出力端にそれぞれ接続されている。垂直駆動回路43は、上記液晶表示パネルと同一の基板上に薄膜トランジスタによって形成されており、ゲートライン41-1、41-2、41-3、……に順に走査パルスを与えて各画素を行単位で選択することによって垂直走査を行う。

【0043】また、信号ライン42-1、42-2、42-3、……に画像データに応じた所定の電圧を印加する複数のドライバIC（図6には、その1段目のドライバIC44のみを示す）が、上記液晶表示パネル40の外部回路として設けられている。このドライバIC44には、例えば8階調以上で512色以上の表示を可能にするデジタル画像データが入力される。ドライバIC44は、例えば図3に示す構成となっている。

【0044】そして、ドライバIC44としては、ドット反転駆動用ICが用いられる。このドライバIC44は、ドット反転駆動を実現するために、各出力端子の奇数、偶数ごとに電位が反転する信号電圧を出力する。ここに、ドット反転駆動とは、隣接するドット（画素）に印加する電圧の極性を反転させる駆動法であり、画質向上に良好な駆動法とされている。

【0045】すなわち、ドット反転駆動により、隣接の画素に印加する電圧を逆極性にするにより、信号ラインとゲートラインのクロス容量に起因する信号ラインからの飛び込み電位がキャンセルされることから、画素電位が安定して入力されるようになり、液晶表示時のフリッカーが軽減されるため、画質を向上できるのである。

【0046】ドライバIC44はさらに、時分割駆動を実現するために、複数の信号ラインを1単位とし、これ

10

ら複数の信号ラインに与える信号を時系列で出力する構成となっている。これに対応して、ドライバIC44の出力ライン45-1、45-2、45-3、……と信号ライン42-1、42-2、42-3、……の間には、CMOS、PMOSあるいはNMOS構成のアナログスイッチ（以下、時分割スイッチと称す）46が設けられている。

【0047】図7に、R、G、Bに対応した3時分割駆動の場合における時分割スイッチ46の接続構成の一例を示す。この3時分割駆動の場合には、ドライバIC44の各出力端子からは、R、G、Bの3画素分の信号電圧が順に時系列で出力ライン45-1、45-2、45-3、……を介して出力される。

【0048】具体的には、図9のタイミングチャートに示すように、ドライバIC44の信号出力として、OD端子1から出力ライン45-1にはR1、G1、B1の各画素の信号が、EVEN端子1から出力ライン45-2にはR2、G2、B2の各画素の信号が、ODD端子2から出力ライン45-3にはR3、G3、B3の各画素の信号が、……という具合に出力される。

【0049】これに対して、出力ライン45-1と3本の信号ライン42-1、42-2、42-3の間に時分割スイッチ46-1、46-2、46-3が、出力ライン45-2と3本の信号ライン42-4、42-5、42-6の間に時分割スイッチ46-4、46-5、46-6が、出力ライン45-3と3本の信号ライン42-7、42-8、42-9の間に時分割スイッチ46-7、46-8、46-9が、……という具合に、3時分割に対応して1本の出力ラインに対して時分割スイッチが3個ずつ設けられている。

【0050】ここで、ある1組の時分割スイッチ46-1、46-2、46-3の具体的な構成について、図10の回路図を用いて説明する。

【0051】時分割スイッチ46-1、46-2、46-3は、PchMOSトランジスタおよびNchMOSトランジスタが並列接続されてなるCMOSアナログスイッチ（トランスミッションスイッチ）からなり、液晶表示パネル40と同一基板上に薄膜トランジスタによって形成されている。そして、3個の時分割スイッチ46-1、46-2、46-3の各入力端は共通に接続され、その共通接続点は出力ライン45-1に接続されている。

【0052】これにより、ドライバIC44から時系列で出力される信号電位が、出力ライン45-1を経由して3個の時分割スイッチ46-1、46-2、46-3の各入力端に与えられる。これら時分割スイッチ46-1、46-2、46-3の各出力端は、3本の信号ライン41-1、41-2、41-3の各一端に接続されている。

【0053】また、液晶表示パネル40と同一基板上において、1個の時分割スイッチにつき2本、計6本の制御ライン47-1～47-6が、ゲートライン41-1、41-2、43-3、……の配線方向に沿って配線されている。そして、時分割スイッチ46-1の2つの制御入力端（即

(7)

11

ち、Nch、PchMOSトランジスタの各ゲート)が制御ライン47-1、47-2に、時分割スイッチ46-2の2つの制御入力端が制御ライン47-3、47-4に、時分割スイッチ46-3の2つの制御入力端が制御ライン47-5、47-6にそれぞれ接続されている。

【0054】なお、ここでは、6本の制御ライン47-1～47-6に対する時分割スイッチ46-1、46-2、46-3の接続関係について説明したが、他の時分割スイッチ46-4、46-5、46-6、……についても全く同じ接続関係となっている。

【0055】6本の制御ライン47-1～47-6には、各組の3個の時分割スイッチを選択するための制御信号S1～S3、XS1～XS3が外部から与えられる。ただし、制御信号XS1～XS3は、制御信号S1～S3の反転信号である。この制御信号S1～S3、XS1～XS3は、ドライバIC44から出力される時系列の信号電位に同期して、各組の3個の時分割スイッチを順次オンさせるための信号である。

【0056】これら各組の時分割スイッチ46-1、46-2、46-3、46-4、46-5、46-6、46-7、46-8、46-9、……は、垂直駆動回路43を構成するトランジスタなどと共に、例えば図11(a)に示すボトムゲート構造あるいは同図(b)に示すトップゲート構造の薄膜トランジスタによって液晶表示パネル40内に形成される。

【0057】図11(a)に示すボトムゲート構造の薄膜トランジスタでは、ガラス基板51の上にゲート電極52が形成され、その上にゲート絶縁膜53を介してポリシリコン(Poly-Si)層54が形成され、さらにその上に層間絶縁膜55が形成されている。また、ゲート電極52の側方のゲート絶縁膜53上には、N<sup>+</sup>拡散層からなるソース領域56およびドレイン領域57が形成され、これらの領域56、57にはソース電極58およびドレイン電極59がそれぞれ接続されている。

【0058】図11(b)に示すトップゲート構造の薄膜トランジスタでは、ガラス基板61の上にポリシリコン層62が形成され、その上にゲート絶縁膜63を介してゲート電極64が形成され、さらにその上に層間絶縁膜65が形成されている。また、ポリシリコン層62の側方のガラス基板61上には、N<sup>+</sup>拡散層からなるソース領域66およびドレイン領域67が形成され、これらの領域66、67にはソース電極68およびドレイン電極69がそれぞれ接続されている。

【0059】これらの時分割スイッチ46-1、46-2、46-3、46-4、46-5、46-6、46-7、46-8、46-9、……は、外部から与えられるゲート選択信号S1、S2、S3(図9のタイミングチャートを参照)に応答して順次オン状態となることにより、ドライバIC44から出力ライン45-1、45-2、45-3、……に出力される時系列の信号を、1水平走査期間に3時分割し

12

て対応する信号ラインに供給する。

【0060】上述した3時分割駆動の場合には、時分割数が奇数であることから、図8から明らかなように、1ラインの隣接画素間で極性が反転するドット反転駆動が行われる。なお、図8は、図7に示す3時分割駆動の場合の信号電圧の各画素への書き込み状態を示している。同図において、横方向は走査順、縦方向は時分割スイッチの動作順をそれぞれ示し、またHは高電圧、Lは低電圧の書き込み状態をそれぞれ示している。

10 【0061】また、図6において、ドライバIC44から信号ライン42-1、42-2、42-3、……に信号電位を入力する場合、時分割スイッチ46がオフとなった信号ラインはハイインピーダンス状態となり、外来の飛び込み電位等の影響を受けやすくなり、信号ラインの電位が変動しやすい。このため、例えば図12(A)に示すような4時分割などの場合は、1つの画素がR、G、B一組ではないので、各色ごとの信号ラインの電位変動が一定せず、縦方向の色むらの原因となる。

20 【0062】これに対し、図12(B)に示すように、R、G、Bの3本の信号ラインを3時分割すれば、外来の飛び込み電位等に起因する各色ごとの信号ラインの電位変動がほぼ均一となるため、多少の電位変動は強調されないようにすることができる。言い換えれば、RならばR、GならばG、BならばBで変動するため、ドライバIC44に供給する色信号データにオフセットを持たせることで、所定の信号電位にすることが可能である。また、許容範囲内のソース電位の変動ならば、色度信号としてのずれは発生しなくなる。

30 【0063】以上の説明から明らかなように、液晶表示装置に時分割駆動を適用することにより、ドライバIC44の出力ピン数を削減できることになる。具体的には、3時分割駆動の場合には、時分割駆動を用いない場合に比べてドライバIC44の出力ピン数を1/3に削減できるため、ドライバICのピン配列方向のサイズの縮小化が図れることになる。

【0064】このとき、先述した第2実施形態のように、ドライバIC44の出力ピン数を信号ラインの総本数の約数に設定する場合を考えたとき、第2実施形態の数値に対応させると、信号ラインの総本数3072に対する約数は1536(=512×3)となる。このピン数の設定により、ドライバICと信号ラインとの接続部分において、画像表示に寄与しない余分な接続領域が生じないようにすることができる。

40 【0065】その結果、今後、SXGA(superXGA)やUXGA(ultraXGA)などのように、表示画素が増加する傾向にある表示方式に対して、ドット反転駆動によって良質な画質を安定して供給しつつ、液晶表示モジュールとしてコンパクト化が図れるとともに、安価な液晶表示パネルでカラー表示の多色化を実現することが可能となる。

(8)

13

【0066】なお、上記実施形態においては、XGA表示方式を例に採って説明したが、水平方向の画素数が同じSHXGA(super half XGA)およびHXGA(half XGA)の各表示方式にも同様に適用可能である。

【0067】SHXGA表示方式の規格は、1024画素×480画素の画像表示規格であり、アスペクト比を32:15とする。これは横スクロールすることなく、XGA規格信号を表示でき、またVGA(video graphic s array)規格をフル表示できることを特徴としている。一方、HXGA表示方式の規格は、1024画素×384画素の画像表示規格であり、アスペクト比を8:3とする。これはXGA規格の携帯用端末規格と考えられている。

【0068】これらの表示規格から明らかなように、XGA、SHXGA、HXGAの各表示方式は、水平方向の画素数がいずれも1024画素であることから、信号ラインの総本数はいずれも3072本であり、信号ラインを駆動するドライバIC44については共通に考えることができる。

【0069】ところで、液晶表示装置の分野では近年、装置のコンパクト化、特に液晶表示パネルの狭幅化が積極的に押し進められている。液晶表示パネルの狭幅化を実現するには、液晶表示パネルの額縁部分のサイズ(以下、額縁サイズと略称する)をできるだけ小さくすれば良い。現行の製造技術のもとでは、一例として、4mm以下の額縁サイズが狙いとなる。

【0070】一方、液晶表示パネルの外部回路であるドライバIC44の実装方式として例えばTAB(Tape Automated Bonding)方式を用いた場合、TABのパッドサイズが現行2mm程度であることから、額縁サイズ4mm以下を満足するためには、TABと時分割スイッチ46-1、46-2、46-3、46-4、46-5、46-6、46-7、46-8、46-9、……との間の配線および接続に要する領域のサイズを2mm以下に抑えることが必要となる。

【0071】以上のことを踏まえて、ドライバICの出力ピン数を信号ラインの総本数の約数に設定するようにした第2実施形態のもとに、R、G、B3時分割駆動の場合を例に採って、ドライバICの個数の設定についての具体例を各表示方式ごとに以下に説明する。

【0072】先ず、SXGA表示方式の液晶表示装置の場合について説明する。SXGA表示方式の規格は、1280画素×1024画素であり、1画素がR、G、Bの3ドットからなることから、信号ラインの総本数(=水平方向のドット数)は3840(=1280×3)本となる。

【0073】一方、現行のパターニング技術では、配線幅が4μm程度、配線間隔が3.5μm程度であることから、1本の配線につき7.5μm程度のスペースが必要となる。先述したように、液晶表示パネルの額縁サイ

14

ズとして4mm以下を狙った場合、配線および接続に許容されるスペースは2mm以下であることから、額縁部分に配線可能な最大配線本数として、266(≒2mm/7.5μm)本程度という数値が導き出される。

【0074】ただし、ドライバICの出力ピンのピッチに対して信号ラインの配線ピッチの方が広いことから、ドライバICの出力ピンと時分割スイッチとの間を電氣的に接続するフレキシブルケーブルは、液晶表示パネルの額縁部分で左右に半分ずつ分けられることになることから、ドライバICの出力ピン数としては最大、最大配線可能本数(266本)の2倍、即ち532本程度となる。

【0075】以上のことから明らかなように、SXGA表示方式の場合は、532本以下でかつ信号ライン数(3840ライン)の約数であることが条件となることから、ドライバICの出力ピン数として例えば320本が設定される。そして、3時分割駆動の場合は、ドライバICの総出力ピン数としては、信号ライン数(3840ライン)の3分の1で良いことから、本例では、ドライバICの個数として、4(=1280/320)個が設定される。

【0076】すなわち、SXGA表示方式の液晶表示装置において、3時分割駆動を採った場合には、図13に示すように、各々320本の出力ピンを持つ4個のドライバIC44-1~44-4が、液晶表示パネル40とは別体の外部基板(図示せず)上に一定の間隔をもって配置され、フレキシブルケーブル15を介して液晶表示パネル40の額縁の接続部分16にて時分割スイッチ(図示せず)と接続されることになる。

【0077】このように、SXGA表示方式の液晶表示装置において、3時分割駆動を採ることにより、ドライバICの出力ピン数として例えば320本を設定した場合、ドライバICの個数が4個で済むため、3時分割駆動を採らず、例えば384ピンの汎用ドライバICを用いると、10(=3840/384)個のドライバICを必要としていた場合に比べて、スタンバイ電力は5分の2以下となる。

【0078】また、ドライバICのコスト低減にもつながる。しかも、今後、集積回路技術の進歩に伴い、これ以上のドライバICのピン数が期待され、それに伴って3個以下のドライバICの個数の設定も可能となるため、消費電力と製品コストのより低減を期待できることになる。

【0079】ところで、SXGA表示方式の水平走査時間は、規格上、21.537μs、15.63μs、12.504μsおよび10.971μsと決められている。この規格のもとで、図10および図13の構成を実現するためには、例えば一番短い水平走査時間である10.971μsに合わせる必要がある。

【0080】ここで、3時分割を行う訳であるから、1

(9)

15

0.971  $\mu$ sの3分割以下の時間で選択する必要がある。つまり、サンプリング時間が3.657  $\mu$ s以下であることが必要となる。同様に、水平走査時間が21.537  $\mu$ sならば7.179  $\mu$ s、15.63  $\mu$ sならば5.21  $\mu$ s、12.504  $\mu$ sならば4.168  $\mu$ s以下のサンプリング時間となる。

【0081】また、図14のタイミングチャートにおいて、ドライバIC44から信号ラインに対して出力される出力波形の立ち上がり、立ち下がり時間（スルーレート）については、上記サンプリング時間内に終了する必要があるため、選択期間よりも小さくする必要がある。なお、ドライバIC44の立ち上がり、立ち下がりの定義は、電位が0%⇔99.75%まで変位する時間である。一例として、信号ラインの信号振幅が9Vである場合、0.00225Vの誤差となる。

【0082】また、Rの時分割スイッチが選択された後、2つ目の時分割スイッチが選択されるまでの期間にブランキング期間を設ける必要がある。これは、電位が確定した非選択信号ラインの信号電位が変動するためである。時分割スイッチに接続された選択信号ラインは大型化していくと、どうしても寄生容量や配線抵抗が存在すようになり、これに起因して選択ライン時間に遅延が発生する。すると、隣接する時分割スイッチが同時にオン/オフすることになるため、非選択の信号ラインの信号電位は確定できなくなる。

【0083】これを示したのが、図15の波形図である。図15において、(A)は入力端子での時分割スイッチで選択する期間を、(B)は液晶基板内での時分割スイッチで選択する期間を、(C)は時分割スイッチ後の信号出力をそれぞれ示している。また、実線がブランキング期間を設けた場合を、点線がブランキング期間を設けない場合をそれぞれ表している。

【0084】図15(C)から明らかなように、ブランキング期間を設けない場合(点線)は、電位が確定した非選択信号ラインの信号電位が一点鎖線で示す如く変動することから、SXGA表示方式の液晶表示装置を作製する際には、図14のタイミングチャートに示すように、(水平方向の走査時間-選択時間×3)/3の時間以下のブランキング期間(a)、(b)、(c)を設定することが必要である。また、ブランキング期間(c)では、図14のタイミングに示すように、各段のゲートラインを選択するゲート選択パルスが切り替わらなければならない。

【0085】このゲート選択パルスについても遅延時間が発生し、このため隣接するゲートラインが同時にオン/オフすることになり、画素電位の変動を引き起こすことになる。これを防止するために、ゲート選択パルスの切り替え期間にもブランキング期間が必要となる。したがって、ブランキング期間(c)として、(水平方向の走査時間-選択時間×3)/3で不十分であれば、それ

16

以上の時間を必要とすることになる。現有する選択スイッチの駆動回路では、短いブランキング期間は40nsは必要であり、これが最小値となる。

【0086】また、図16に示す液晶画素の回路構成において、ゲートライン41-1、42-2、41-3、……と信号ライン(ソースライン)42-1、42-2、43-3、43-4、……との間に寄生する容量Cgsや、画素の対向電極にコモン電圧VCOMを供給するCsライン48-1、48-2、48-3、……と信号ライン42-1、42-2、43-3、43-4、……との間に寄生する容量Ccsに起因する信号ライン42-1、42-2、43-3、43-4、……からの飛び込み電位により、図17の波形図に示すように、ゲートライン41-1、42-2、41-3、……のゆれやCsライン48-1、48-2、48-3、……の周期的な変動が誘起される。その結果、横方向のクロストークが発生する。

【0087】特にこのCsライン48-1、48-2、48-3、……のゆれの変動電位が、図19に示す $\Delta s_1$ 、 $\Delta s_2$ 、 $\Delta s_3$ となる。ここに、 $\Delta s_1$ 、 $\Delta s_2$ 、 $\Delta s_3$ は、クロストーク発生領域と非発生領域との電位差である。この電位差 $\Delta s_1$ 、 $\Delta s_2$ 、 $\Delta s_3$ は、7.0mV以下であれば、画像として判断されないことがわかってい。つまり、現状、これを満たせば、横方向のクロストークとしては判断されない訳である。

【0088】このゲートライン-信号ライン間容量Cgs、Csライン-信号ライン間容量Ccsに起因するゲートライン41-1、42-2、41-3、……のゆれやCsライン48-1、48-2、48-3、……の周期的な変動を防ぐために、大型液晶表示装置では、先述したように、隣接する画素間の極性を対向電極を基準に反転させるドット反転駆動方式を採用している。このドット反転駆動方式の場合には、立ち上がり時間、立ち下がり時間が、信号ライン42-1、42-2、42-3、……が1対1でドライバIC44の出力ピンに接続されている従来の液晶表示装置に比べて無視できない時間となる。

【0089】時分割数が3の場合には、Csライン48-1、48-2、48-3、……を安定させる時間は従来の3分の1となり、条件は厳しくなる。この対策として、特にCsライン48-1、48-2、48-3、……のゆれに起因する横方向のクロストークをなくす必要がある。そのためには、図18の波形図に示すように、ドライバIC44の立ち上がり波形と立ち下がり波形を時間軸に対して対称にする、即ち立ち上がり時間と立ち下がり時間を等しくする必要がある。

【0090】このように、ドット反転駆動においては、ドライバIC44の立ち上がり波形と立ち下がり波形を時間軸に対して対称にすることにより、逆極性の信号によって変動電位分をキャンセルできることになるため、ゲートライン41-1、41-2、41-3、……およびCsライン48-1、48-2、48-3、……の変動がほとんど

(10)

17

なくなる。この変動分が小さければ小さいだけ、Csライン48-1, 48-2, 48-3, ……の電位が安定する時間は短くなる。

【0091】図20に、一例として、17インチSXGA表示方式の場合のシミュレーション結果を示す。このシミュレーション結果から考えると、 $3\tau_{rise}$ （立ち上がり）、 $3\tau_{fall}$ （立ち下がり）の時間差は、500ns以下であることが望ましいことがわかる。これにより、下記の条件を満たすことが必要となる。 $|3\tau_{rise}-3\tau_{fall}|\leq 500ns$ もしくは、 $|2\tau_{rise}-2\tau_{fall}|\leq 500ns$ ここに、 $\tau$ は0.5 $\mu s$ 一定であり、 $3\tau$ は0%から90%推移を、 $2\tau$ は0%から86%推移をそれぞれ表している。

【0092】ここで、立ち上がり波形と立ち下がり波形が対称性をあらわすものとして、0%⇔63%の変位時間、0%⇔86%の変位時間、0%⇔95%の変位時間、0%⇔98%の変位時間、0%⇔99.3%の変位時間、0%⇔99.8%の変位時間が同じであることが条件となる。図21に、SXGA表示方式の液晶表示装置を作製する場合における期間の数値の一例を示す。

【0093】次に、UXGA表示方式の液晶表示装置の場合について説明する。UXGA表示方式の規格は、1600画素×1200画素であり、1画素がR、G、Bの3ドットからなることから、信号ラインの総本数は4800（＝1600×3）本となる。

【0094】ここで、先述したSXGA表示方式の場合と同様の条件のもとに、ドライバICの出力ピン数として例えば320本を設定したとすると、3時分割駆動の場合は、ドライバICの総出力ピン数としては、信号ライン数（4800ライン）の3分の1で良いことから、本例では、ドライバICの個数として、5（＝1600/320）個が設定される。

【0095】すなわち、UXGA表示方式の液晶表示装置において、3時分割駆動を採った場合には、図22に示すように、各々320本の出力ピンを持つ5個のドライバIC44-1～44-5が、液晶表示パネル40とは別体の外部基板（図示せず）上に一定の間隔をもって配置され、フレキシブルケーブル15を介して液晶表示パネル40の額縁の接続部分16にて時分割スイッチ（図示せず）と接続されることになる。

【0096】このように、UXGA表示方式の液晶表示装置において、3時分割駆動を採ることにより、ドライバICの出力ピン数として例えば320本を設定した場合、ドライバICの個数が5個で済むため、3時分割駆動を採らず、例えば384ピンの汎用ドライバICを用いると、13（＝4800/384＝12余り92）個のドライバIC（内、1個は92ピンのみ使用）を必要としていた場合に比べて、スタンバイ電力は13分の5以下となる。

18

【0097】また、ドライバICのコスト低減にもつながる。しかも、今後、集積回路技術の進歩に伴い、これ以上のドライバICのピン数が期待され、それに伴って4個以下のドライバICの個数の設定も可能となるため、消費電力と製品コストのより低減が期待できることになる。

【0098】ところで、UXGA表示方式の水平走査時間は、規格上、16 $\mu s$ 、13.333 $\mu s$ 、12.308 $\mu s$ 、11.429 $\mu s$ 、10.667 $\mu s$ 、10 $\mu s$ および9.412 $\mu s$ と決められている。この規格のもとで、図10および図22の構成を実現するためには、例えば一番短い水平走査時間である9.412 $\mu s$ に合わせる必要がある。ここで、3時分割を行う訳であるから、9.412 $\mu s$ の3分割以下の時間で選択する必要がある。つまり、サンプリング時間が3.137 $\mu s$ 以下であることが必要となる。

【0099】同様に、水平走査時間が16 $\mu s$ ならば5.333 $\mu s$ 、13.333 $\mu s$ ならば4.444 $\mu s$ 、12.308 $\mu s$ ならば4.103 $\mu s$ 、11.429 $\mu s$ ならば3.810 $\mu s$ 、10 $\mu s$ ならば3.333 $\mu s$ 以下のサンプリング時間となる。

【0100】なお、ドライバIC44の出力波形の立ち上がり、立ち下がり時間（スルーレート）、ブランキング期間の設定およびドライバIC44の出力の立ち上がり波形と立ち下がり波形との対称性については、先述したSXGA表示方式の場合と同様のことが言える。図23に、UXGA表示方式の液晶表示装置を作製する場合における期間の数値の一例を示す。

【0101】以上、SXGA、UXGAの各表示方式の液晶表示装置の場合について述べてたが、続いて、VGA、HVGA(half VGA)、QVGA(quarter VGA)の各表示方式の液晶表示装置の場合について述べる。

【0102】まず、VGA表示方式の液晶表示装置の場合について説明する。VGA表示方式の規格は、640画素×480画素であり、1画素がR、G、Bの3ドットからなることから、信号ラインの総本数は1920（＝640×3）本となる。

【0103】ここで、先述したSXGA、UXGAの各表示方式の場合と同様の条件のもとに、ドライバICの出力ピン数として例えば320本を設定したとすると、3時分割駆動の場合は、ドライバICの総出力ピン数としては、信号ライン数（4800ライン）の3分の1で良いことから、本例では、ドライバICの個数として、2（＝640/320）個が設定される。

【0104】すなわち、VGA表示方式の液晶表示装置において、3時分割駆動を採った場合には、図24に示すように、各々320本の出力ピンを持つ2個のドライバIC44-1, 44-2が、液晶表示パネル40とは別体の外部基板（図示せず）上に一定の間隔をもって配置さ



(11)

19

れ、フレキシブルケーブル15を介して液晶表示パネル40の額縁の接続部分16にて時分割スイッチ（図示せず）と接続されることになる。

【0105】このように、VGA表示方式の液晶表示装置において、3時分割駆動を採ることにより、ドライバICの出力ピン数として例えば320本を設定した場合、ドライバICの個数が2個で済むため、3時分割駆動を採らず、例えば384ピンの汎用ドライバICを用いると、 $6 (= 1920 / 384 = 5 \text{ 余り } 10)$  個のドライバIC（内、1個は10ピンのみ使用）を必要としていた場合に比べて、スタンバイ電力は3分の1以下となる。

【0106】また、ドライバICのコスト低減にもつながる。しかも、今後、集積回路技術の進歩に伴い、これ以上のドライバICのピン数が期待され、それに伴ってドライバICの1個の設定も可能となるため、消費電力と製品コストのより低減が期待できることになる。

【0107】なお、HVGA表示方式の規格は、640画素×240画素であり、水平方向の画素数についてはVGA表示方式と同じであることから、信号ラインの総本数についても同じ1920本である。したがって、ドライバICの出力ピン数として例えば320本を設定した場合、設定されるドライバICの個数も同じ2個となる。

【0108】一方、QVGA表示方式の規格は、320画素×240画素であることから、信号ラインの総本数は960本となる。ここで、ドライバICの出力ピン数として例えば320本を設定したとすると、3時分割駆動の場合は、ドライバICの総出力ピン数としては、信号ライン数（960ライン）の3分の1で良いことから、QVGA表示方式では、図25に示すように、ドライバICの個数として、 $1 (= 320 / 320)$  個が設定される。

【0109】ところで、例えば、標準的なVGA規格IBM VGA (mode-4) 表示方式では、その水平走査時間は $31.778 \mu s$ である。ここで、3時分割を行う訳であるから、 $31.778 \mu s$ の3分割以下の時間で選択する必要がある。つまり、サンプリング時間が $10.59 \mu s$ 以下であることが必要となる。QVGA表示方式では、例えば水平走査時間を $63 \mu s$ とすると、3時分割でサンプリング時間が $10.59 \mu s$ 以下であることが必要となる。

【0110】なお、ドライバIC44の出力波形の立ち上がり、立ち下がり時間（スルーレート）、ブランキング期間の設定およびドライバIC44の出力の立ち上がり波形と立ち下がり波形との対称性については、先述したSXGA表示方式の場合と同様のことが言える。図26に、VGA、QVGAの各表示方式の液晶表示装置を作製する場合における期間の数値の一例を示す。

【0111】上述したように、例えば3時分割駆動にお

20

いて、液晶表示パネル40の額縁サイズが規定されるとき、その規定された額縁サイズのもとに、その額縁部分の配線領域に配線可能な配線数によってドライバIC44の出力ピン数 $n$ を決定するとともに、表示方式によって決まる信号ラインの総本数を $N$ とすると、ドライバIC44の個数を $N/n$ 個に設定するようにしたことにより、時分割駆動を採らない場合に比べてドライバICの個数を大幅に削減でき、スタンバイ電力を大幅に軽減できるため、液晶表示装置全体の低消費電力化が可能となる。

【0112】ところで、表示方式に限らず、図14のタイミングチャートにおけるブランキング期間（a）、

（b）、（c）では、時分割スイッチ（アナログスイッチ）がオフ状態にあり、信号ラインの電位が確定状態にある。このため、外部ICであるドライバICからの出力に影響されない。したがって、このブランキング期間（a）、（b）、（c）にドライバICの出力回路を駆動させることは、消費電力の無駄である。

【0113】図3には、ドライバICの内部構成の一例を示したが、実際には、図27に示すように、D/Aコンバータ35の後段に出力回路36が配されているのが一般的である。そこで、ここでは、ブランキング期間（a）、（b）、（c）に出力回路36を停止させ、消費電力の低減を図ることとする。この出力回路36は、図28に示すように、例えば、オペアンプと出力バッファからなるボルテージフォロウの回路構成となっている。

【0114】このボルテージフォロウ回路構成の出力回路36において、例えば、ブランキング期間（a）、（b）、（c）にボルテージフォロウの電源をオフにすると、オペアンプ部に電流が流れなくなり、出力は高インピーダンス状態となる。このように、ブランキング期間（a）、（b）、（c）に出力回路36を停止させることで、消費電力を低減できることになる。

【0115】次に、信号ラインを駆動するドライバICへのデータの書き込みについて説明する。通常、液晶表示パネル40には、図29に示すように、例えば3個のドライバIC44-1、44-2、44-3を経由して各々1ライン分相当の記憶容量を持つ2個のメモリ回路（1）71、（2）72が接続されている。

【0116】そして、最初は、メモリ回路71に1ライン分のデータを記憶し、しかる後スイッチ73を切り替えて次の1ラインの期間中にメモリ回路72にデータを記憶しながら、スイッチ73に連動するスイッチ75でRのみを選択してメモリ回路71からRデータをスイッチ74-1を介して1ライン分読み出してドライバIC44-1、44-2、44-3に書き込み、次にGのみを選択して同様にGデータを1ライン分書き込み、最後にBのみを選択して同様にBデータを1ライン分書き込む。

【0117】次の1ライン期間にはメモリ回路71とメ

10

20

30

40

50



メモリ回路72とを入れ替えて同様の手順を繰り返すことによって画像を構成していく。一般的に、一番端のドライバICに1ドットずつ水平ドット数分のデータを転送していくと数珠状にデータが送られて1ライン分のデータが複数のドライバICにセットされ、その時点で液晶表示パネル40に一斉に1ライン分のデータを書き込むことで各色1ラインずつ画像を形成していく。この作業を垂直画素数×3回分繰り返すことで1枚の画像が構成される。

【0118】ところが、昨今の液晶表示装置の高画素化に伴って水平方向の画素数も増え、また同時に、映像データの転送レートも早くなり、液晶表示パネルへの書き込み時間も短くなってきている。一例として、SXGA表示方式の液晶表示装置を考えた場合、映像データが200MHz前後のデータ転送レートであり、この速度でデータが書き込めるドライバICは現時点では存在しない。

【0119】そこで、本実施形態においては、複数のドライバICに同時に別々のデータを書き込む手法を採ることで、既存のドライバICでも使用できるようにする。これを実現するための具体的な構成の一例を図30に示す。本例では、話を分かり易くするため、水平30画素(R、G、B合計90ドット)、ドライバIC内のシフトレジスタ31(図27参照)の段数を各々10段と仮定して説明する。

【0120】図30に示すように、各々1ライン分相当の記憶容量を持つメモリ回路(1)71とメモリ回路

(2)72が設けられ、これらを切り替えるスイッチ73を経由して映像データがメモリ回路71又はメモリ回路72に供給される。メモリ回路71、72の出力側には、3端子ごとに1個ずつR、G、Bの各色を切り替えるスイッチ74-1~74-6が設けられ、さらにその後段に再度メモリ回路71とメモリ回路72とを切り替えるスイッチ75-1~75-3が設けられている。そして、スイッチ75-1~75-3の各選択出力がドライバIC44-1~44-3に与えられるようになっている。

【0121】また、メモリ回路71、72には、ドライバICの数と同じ数のR、G、Bの出力があり、これらは各々1~10ドット、11~20ドット、21~30ドットのデータを順に出力するように構成されている。一方、メモリ回路71、72の前段および後段に配されているスイッチ53とスイッチ75-1~75-3は互いに連動しており、片方がメモリ回路71を選択すると、もう一方はメモリ回路72を選択するようになっている。

【0122】上記の構成において、外部から入力される映像データは、最初はスイッチ73がメモリ回路71側に切り替わっていることにより、このスイッチ73を介してメモリ回路71に1ライン分蓄えられる。その後、スイッチ73がメモリ回路72側に切り替わることにより、次の1ライン分の映像データはメモリ回路72に蓄

えられる。

【0123】そのとき、メモリ回路71はドライバIC44-1に対して1~10ドット目のデータを出力し、ドライバIC44-2に対しては11~20ドット目のデータを出力し、又ドライバIC44-3に対しては21~30ドット目のデータを出力する。そして、次の1ラインではメモリ回路71とメモリ回路72とを入れ替えて、上記と同様の動作を行ってこれを繰り返すことにより、1枚の画像が構成される。

【0124】このように、最初はメモリ回路71に1ライン分のデータを記憶し、次の1ライン期間中にメモリ回路72にデータを記憶しながら、スイッチ74-1~74-3でRのみを選択してメモリ回路71からRデータを1つのドライバIC分だけ読み出して当該ドライバICに書き込み、同時に別のドライバICにも該当するデータを読み出して当該ドライバICに書き込み、GおよびBについても同様の方法にて書き込みを行うことにより、ドライバICの各々に同時に別々のデータを書き込むことができる。

【0125】これにより、各ドライバICにデータを書き込む速度を、ドライバICの数をnとすると、n分の1に減速することができるので、例えば映像データの転送レートが200MHz、ドライバICの数nが3個であれば、約67MHzの動作速度を持つドライバICで処理できることになり、既存のドライバICでも十分に対応できることになる。また、1ライン分全てのデータを各ドライバICに書き込む時間をn分の1に短縮することができるので、その分だけ液晶表示パネルへの書き込み時間を延ばすこともできる。

【0126】ところで、従来の液晶表示装置では、R、G、Bの各々の電圧透過率特性は一致していなかった。その理由は、色ごとに波長が違うため、その波長に依存して液晶分子内での屈折率に差異が生じ、結果的に電圧、透過率特性がBに対してRが負の電圧側にずれているからである。

【0127】図31(A)に、TN(twist nematic)液晶を使用した場合の液晶の透過率と液晶に印加する電圧の特性カーブ(V-Tカーブ)を示す。この特性図から明らかなように、通常、R(透過波長が600nm~660nm)、G(透過波長が370nm~460nm)、B(透過波長が530nm~550nm)で、V-Tカーブがシフトしている。

【0128】これは波長に依存して液晶分子の屈折率に差異があるためである。波長の長いRの方が屈折率が小さいため、液晶に電圧を印加したとき、いち早く液晶による光の90度回転が損なわれる。Bは屈折率が大きいため、光の90度回転が最後まで維持される。このため、V-Tカーブにおいて、同じ電圧を印加しても透過率に差異が発生する。

【0129】液晶基板内の水平方向に時分割スイッチ

(アナログスイッチ)を配置した構成の本発明に係る液晶表示装置において、選択スイッチ以外の信号ラインはフローティング状態となっており、この状態では、隣接する信号ライン間での信号電位の飛び込みの影響を受ける。つまり、画素の信号ライン間にはライン間の容量が存在し、時分割スイッチの周辺の等価回路を示す図32において、例えばスイッチS1が選択(a)された後にスイッチS2が選択(b)されると、スイッチS2の“H”レベルの信号がスイッチS1に飛び込み、保持されている電圧が飛び込み容量分だけ増加する。

【0130】これは、信号ライン間の容量をCsig1とし、一つの信号ラインの容量をCsig2とすると、飛び込みによる電圧ΔVは、

$$\Delta V = V_{sig} \times C_{sig1} / (C_{sig1} + C_{sig2}) \dots (1)$$

となる。ここで、Vsigは、選択された信号ラインに入力される信号電圧の振幅電圧である。この値を、ちょうど、液晶のV-Tカーブでの中間調の同じ透過率の状態での印加電圧のシフト量を補完するように定めれば良い。

【0131】RとBの電圧のシフト量は0.3Vであり、これを飛び込みによる電圧ΔVに当てはめる。ちなみに、1HVCOM(コモン)反転駆動法では、1H時間は同一極性の電圧が信号ラインに印加されるため、先に選択されたスイッチS1については、次のスイッチS2が選択された場合に、保持された信号ラインの電位は増加する。

【0132】また、スイッチS3が次に選択(c)される。これは、スイッチS1に隣接するスイッチS3'から飛び込み電位が入力されることを意味する。最終的には、スイッチS1に関しては2回、スイッチS2に関しては1回、信号ライン間の飛び込みの影響を受けることになる。

【0133】ここでは、この現象に着目して、液晶の色に依存してV-Tカーブの電圧シフトを補完する方法について述べる。ちなみに、1H反転駆動法に関しては、図33のタイミングチャートから明らかなように、1番目に選択される信号ラインをB、2番目に選択される信号ラインをG、3番目に選択される信号ラインをRとする配置として、先に述べたV-Tカーブの補完を行っている。

【0134】一方、ドット反転駆動を行う場合、隣接する信号ライン間には常に逆の極性が印加されるため、信号電位(振幅電位)としては、小さくなる方向で飛び込み電圧が発生する。つまり、図34に示すように、スイッチS1が“H”レベルで書き込まれ(a)、その後スイッチS2が“L”レベルで書き込まれると(b)、非選択状態のスイッチS1に対して“L”レベルの電位が飛び込む。その後、スイッチS3に“H”レベルが書き込まれるが(c)、スイッチS3に隣接するスイッチS1'に対しては、同様に“H”レベルの飛び込みが発生

する。

【0135】しかし、スイッチS1に隣接するスイッチS3'はドット反転駆動であるため“L”レベルとなる。これがスイッチS1に飛び込み、さらに電圧が減少する。結局、一番最初に選択されたスイッチS1に対しては、信号電圧を減少させる電圧が2回発生し、スイッチS2に対しては、信号電圧を減少させる電圧が1回発生する。

【0136】これを、液晶のR、G、BのV-Tカーブにおける電圧シフトを補完させるようにするためには、図35のタイミングチャートから明らかなように、一番最初に選択される信号ラインをRとし、2番目をG、3番目をBとすることが好ましいことがわかる。

【0137】以上の方法を採用することにより、図31

(B)に示すように、中間調での電圧-透過率の特性カーブは補完され、画像信号に忠実な表示が可能となる。図36には、本発明に係る画素配列と時分割スイッチの走査方向の関係を示す。同図において、(A)は1H反転駆動法の場合を、(B)はドット反転駆動法の場合をそれぞれ示している。

【0138】なお、上述した方法は、信号ライン間に存在する容量を積極的に、液晶の電圧-透過率特性の補完に使用しているため、複雑な回路構成を必要とせず、色配列だけを所定の順番にすることにより達成できる点で、その効果は極めて大きいと言える。

【0139】ただし、信号ライン間の容量Csig1と信号ライン自体の容量Csig2は、先に示した(1)式に対して、 $\Delta V = V_{sig} \times C_{sig1} / (C_{sig1} + C_{sig2}) \leq$  (液晶内での電圧-透過率特性のRとGの電圧差)の条件を満たすことが必要となる。例えば、液晶内での電圧-透過率特性のRとGの電圧差が0.15V、選択された信号ラインに入力される信号電圧の振幅電圧Vsigが9Vである場合、これを補正するには、 $C_{sig1} / (C_{sig1} + C_{sig2})$ が0.017となるように設計すれば良い。

【0140】このように、各表示方式の液晶表示装置において、ドライバIC44からは、R、G、Bの電圧-透過率(V-T)特性のカーブを補正するような信号電位を発生するようにしたことにより、中間調付近でのR、G、Bの透過率が一致するため、画像信号に対してより忠実な色表現が可能となる。また、複雑な回路構成を必要としないため、製造歩留りを低下させることなく、色精度を向上させることができる。

【0141】

【発明の効果】以上説明したように、本発明による液晶表示装置においては、複数のドライバ回路をそれぞれの出力端子数を同じ数に設定して複数列分の信号ラインの各々と対応関係をもって順に配置する際に、複数列分の信号ラインに端数が出る時、複数のドライバ回路のうちの1つの出力端子数を上記端数に設定するようにしたことにより、ドライバ回路の出力端子を余らせることな

(14)

25

く信号ラインの各々と接続することができるため、液晶表示パネルには画像表示に寄与しない余分な接続領域が生じず、よって液晶表示パネルの水平方向の狭幅化が可能になる。

【0142】また、本発明による他の液晶表示装置においては、複数のドライバ回路のそれぞれの出力端子数を、複数列分の信号ラインの総本数の約数に設定するようにしたことにより、信号ラインには端数が生じず、ドライバ回路の出力端子を余らせることなく信号ラインの各々と接続することができるため、液晶表示パネルには画像表示に寄与しない余分な接続領域が生じず、よって液晶表示パネルの水平方向の狭幅化が可能になる。

【図面の簡単な説明】

【図1】本発明に係るマトリクス型液晶表示装置における液晶表示部の配線図である。

【図2】画素の回路構成図である。

【図3】ドライバICの内部構成の一例を示すブロック図である。

【図4】本発明の第1実施形態を示す概略構成図である。

【図5】本発明の第2実施形態を示す概略構成図である。

【図6】時分割駆動を用いたマトリクス型液晶表示装置における液晶表示部の配線図である。

【図7】3時分割駆動の場合の時分割スイッチの接続構成図である。

【図8】3時分割駆動の場合の信号電圧の各画素への書き込み状態を示す図である。

【図9】3時分割駆動の場合の各信号のタイミングチャートである。

【図10】ある1組の時分割スイッチの具体的な構成を示す回路図である。

【図11】薄膜トランジスタの一例を示す断面構造図であり、(a)はボトムゲート構造の場合を、(b)はトップゲート構造の場合をそれぞれ示している。

【図12】4時分割の場合(A)と3時分割の場合(B)との比較図である。

【図13】SXGA表示方式の液晶表示装置の一例の構成図である。

【図14】SXGA表示方式の動作説明のためのタイミングチャートである。

【図15】ブランキング期間を設けた場合(実線)と設けない場合(点線)の違いを説明するための波形図である。

【図16】液晶画素の回路構成を示す回路図である。

【図17】ドライバICの立ち上がり波形と立ち下がり波形が時間軸に対して非対称の場合の波形図である。

【図18】ドライバICの立ち上がり波形と立ち下がり波形が時間軸に対して対称の場合の波形図である。

26

【図19】Csラインの電位のゆれの説明図である。

【図20】17インチSXGA表示方式の場合の $\tau_{rise}$ ,  $\tau_{fall}$ の時間差とCsラインのゆれのシミュレーション結果を示す図である。

【図21】SXGA表示方式の場合の期間の数値の一例を示す図である。

【図22】UXGA表示方式の液晶表示装置の一例の構成図である。

【図23】UXGA表示方式の場合の期間の数値の一例を示す図である。

【図24】VGA表示方式の液晶表示装置の一例の構成図である。

【図25】QVGA表示方式の液晶表示装置の一例の構成図である。

【図26】VGA, QVGAの各表示方式の場合の期間の数値の一例を示す図である。

【図27】ドライバICの内部構成の他の例を示すブロック図である。

【図28】ドライバIC内の出力回路の構成の一例を示すブロック図である。

【図29】メモリ回路周辺の構成の従来例を示すブロック図である。

【図30】メモリ回路周辺の構成の改良例を示すブロック図である。

【図31】TN液晶を使用した場合の液晶のV-Tカーブの特性図である。

【図32】時分割スイッチの周辺の構成の一例を示す等価回路図である。

【図33】図30の等価回路の動作を説明するためのタイミングチャートである。

【図34】時分割スイッチの周辺の構成の他の例を示す等価回路図である。

【図35】図32の等価回路の動作を説明するためのタイミングチャートである。

【図36】画素配列と時分割スイッチの走査方向の関係を示す図であり、(A)は1H反転駆動法の場合を、(B)はドット反転駆動法の場合をそれぞれ示している。

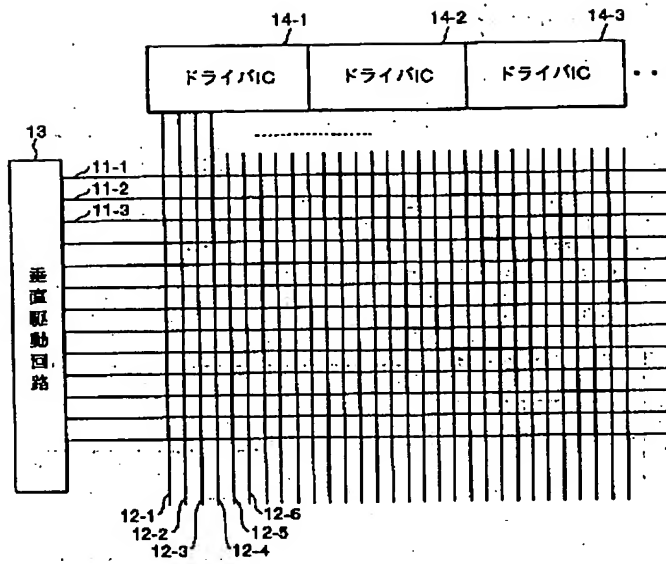
【図37】従来例を示す概略構成図である。

【符号の説明】

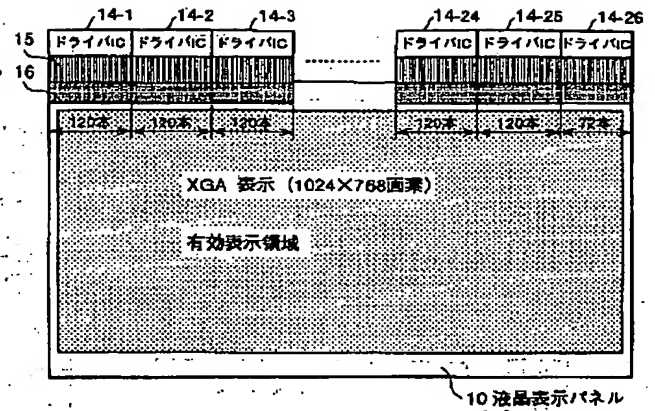
10, 40…液晶表示パネル、11-1~11-3, 41-1~41-3…ゲートライン、12-1~12-6, 42-1~42-6…信号ライン、13, 43…垂直駆動回路、14-1~14-3, 44-1~44-5…ドライバIC、20…画素、21…薄膜トランジスタ、22…付加容量、23…液晶容量、31…水平転送レジスタ、32…サンプリングスイッチ群、33…レベルシフタ、34…データラッチ群、35…D/Aコンバータ(デジタルアナログ変換回路)、36…出力回路、71, 72…メモリ回路

(15)

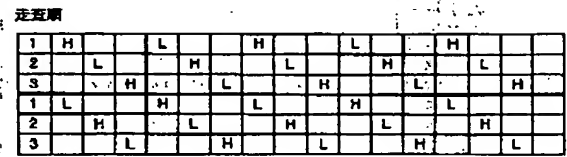
【図 1】



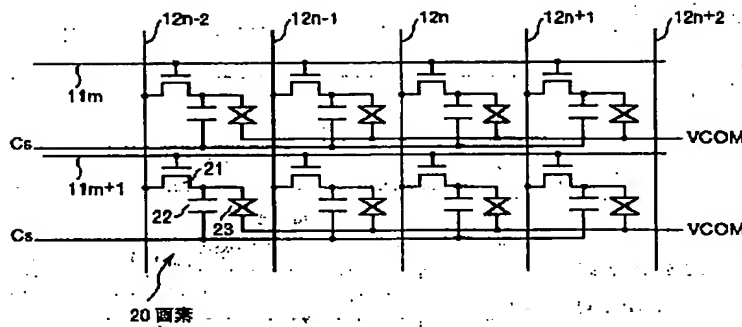
【図4】



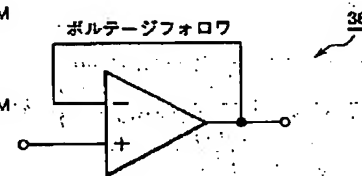
【図 8】



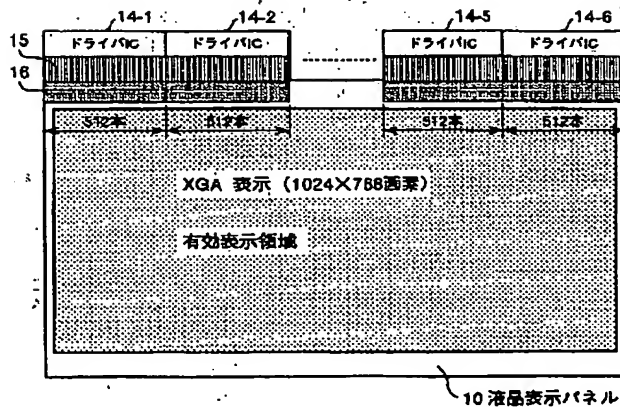
【図2】



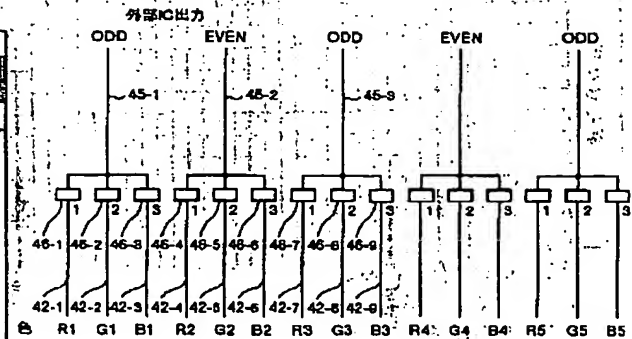
【图 28】



【図5】

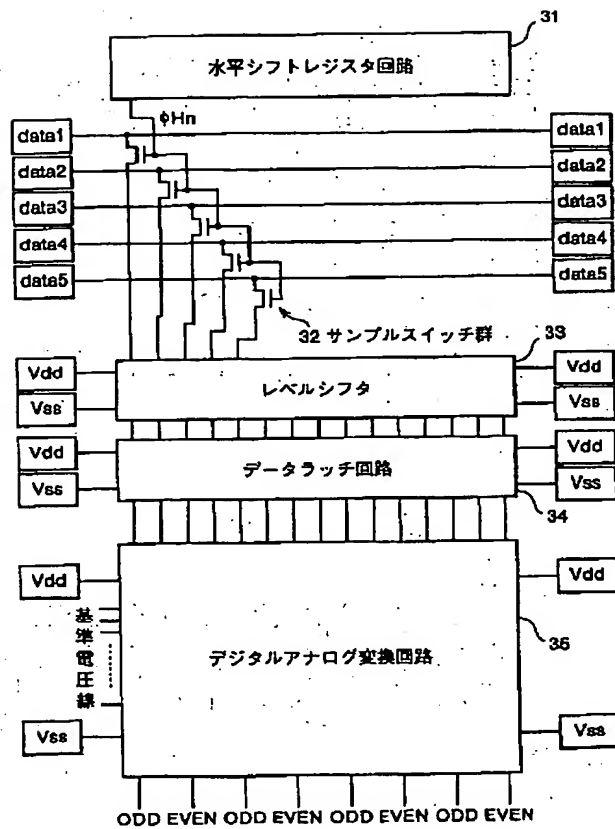


【図7】

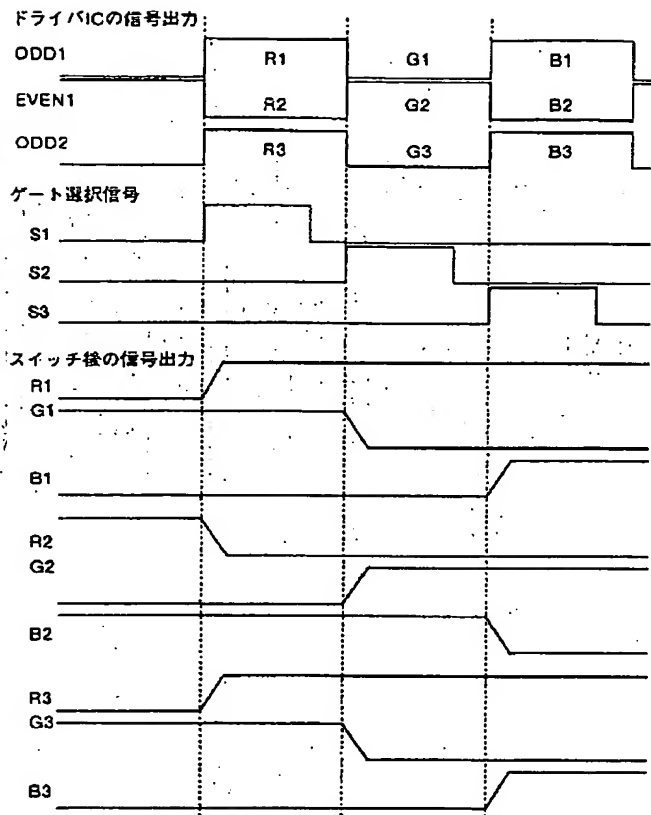


(16)

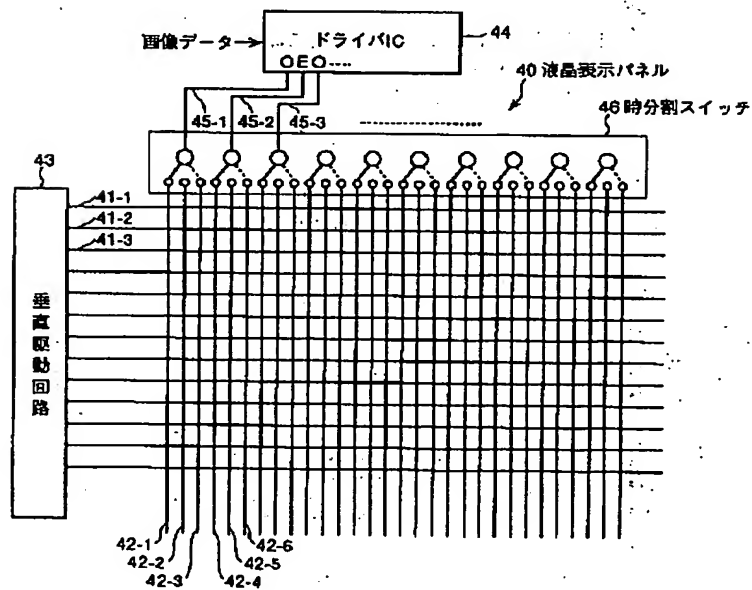
【図3】



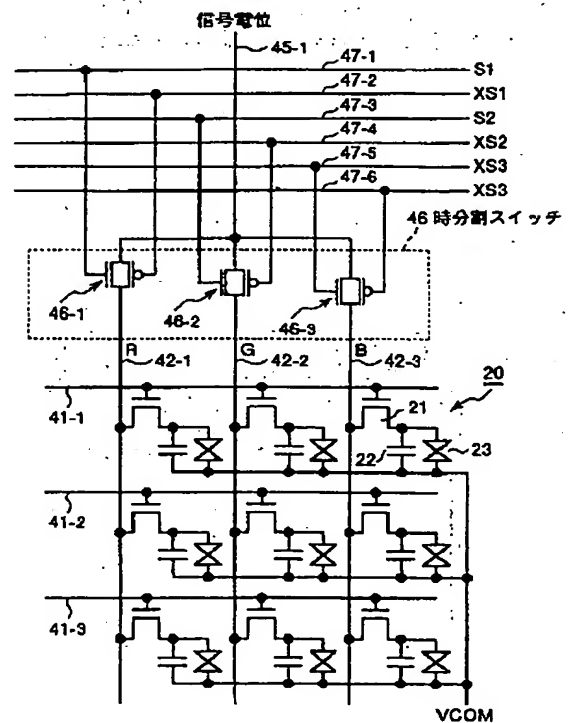
【図9】



【図6】

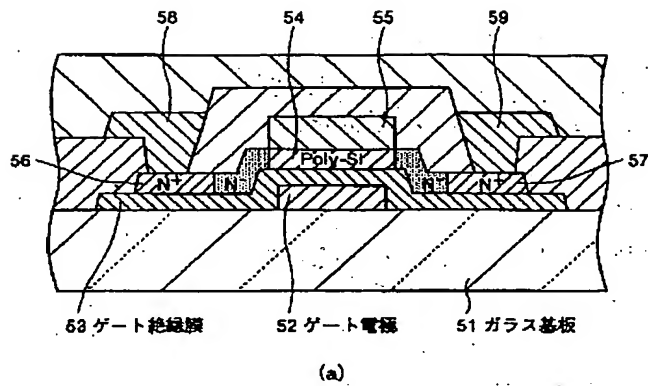


【図10】

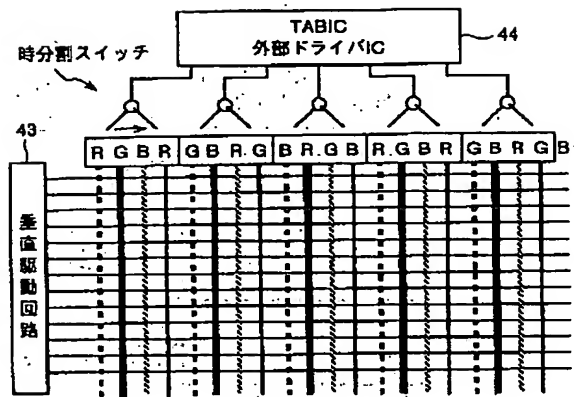


(17)

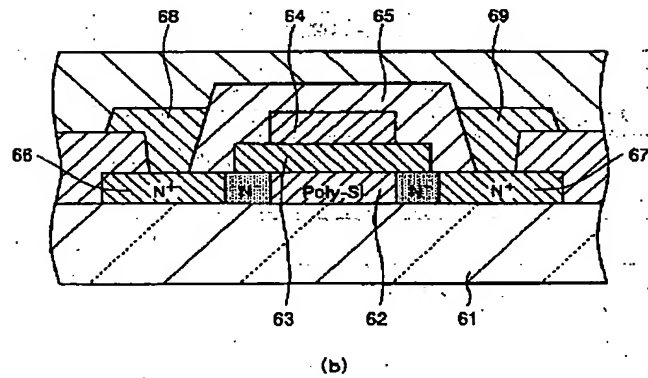
【図 1 1】



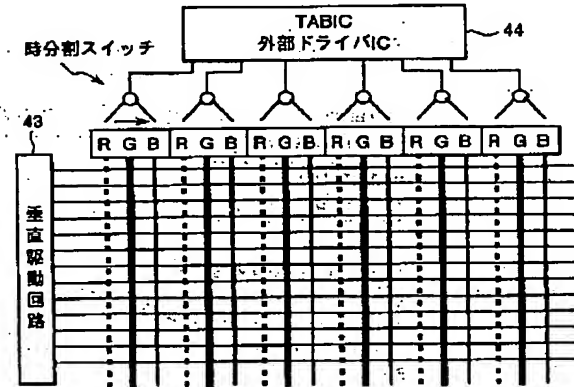
【図 12】



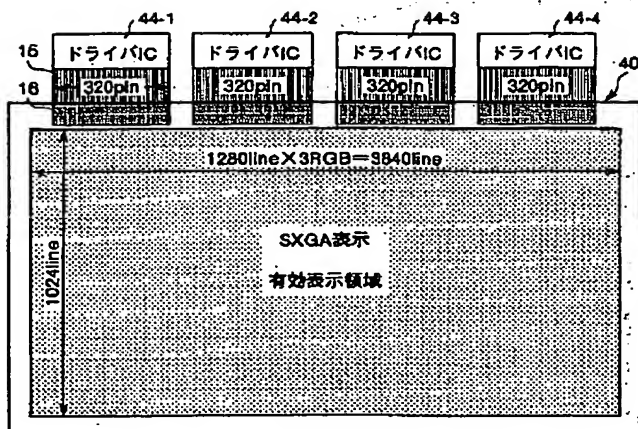
(A) 4時分割の場合



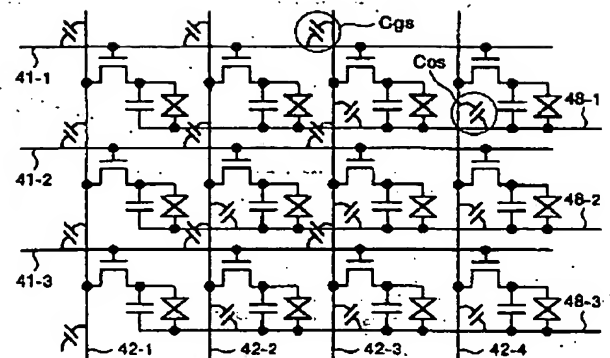
### (B) 3時分割の場合



【图 13】

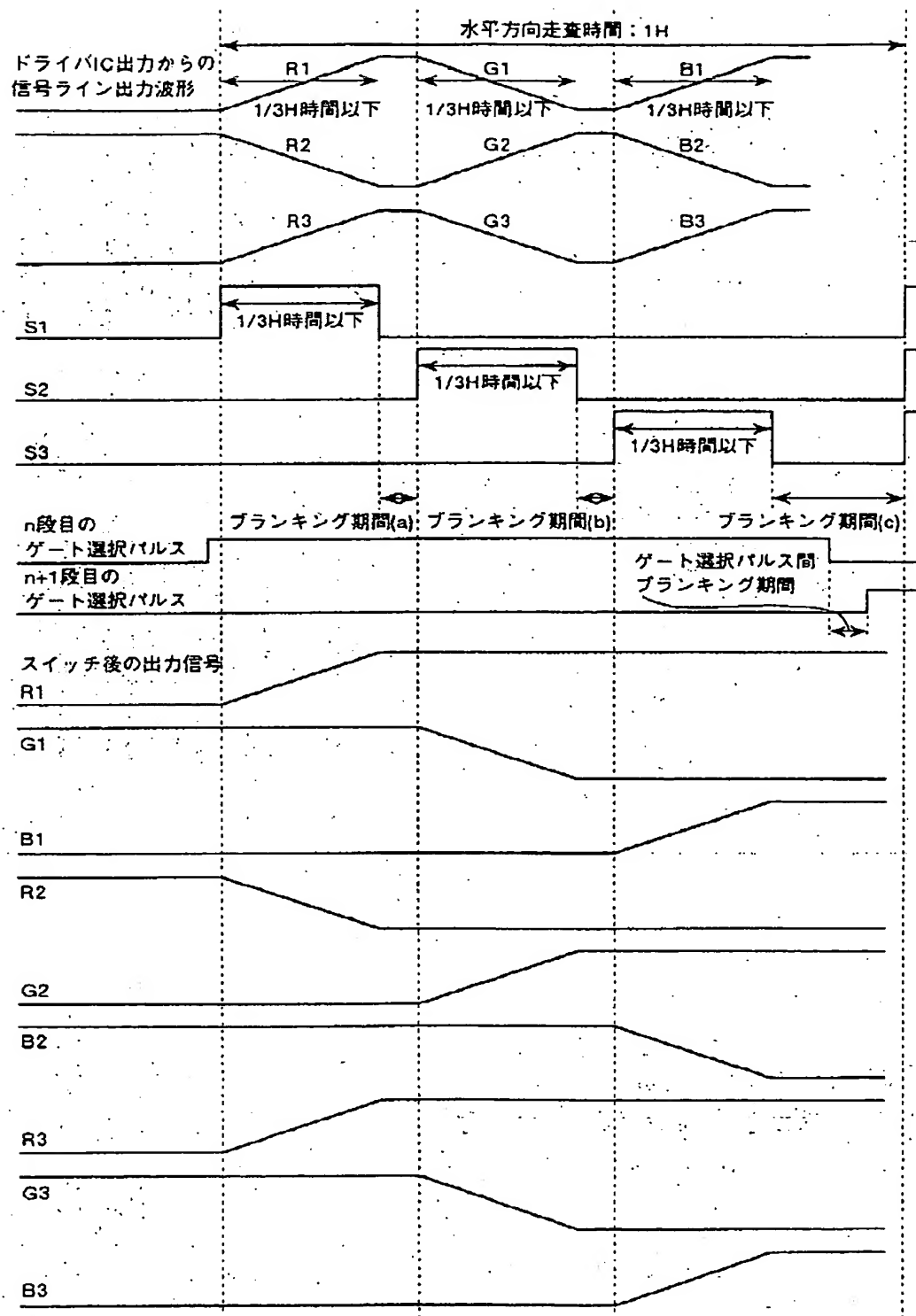


【図 16】



(18)

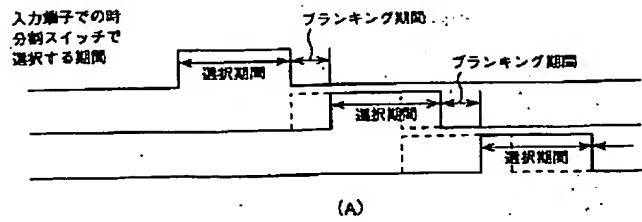
【図14】



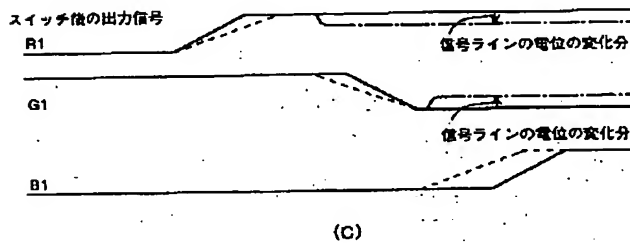
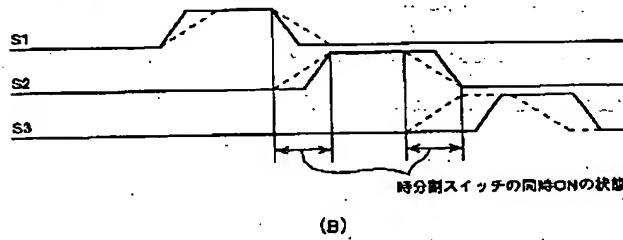


(19)

【図15】



液晶基板内での時分割スイッチで選択する期間

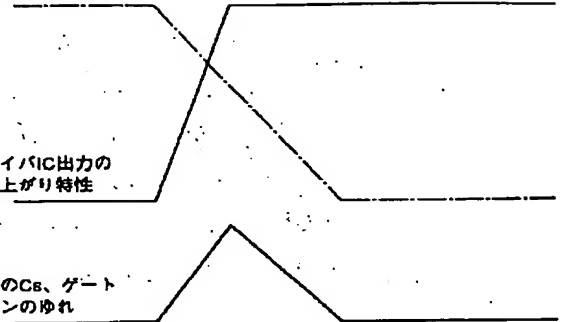


【図17】

ドライバIC出力の立ち下がり特性

ドライバIC出力の立ち上がり特性

合成のCs、ゲートラインのゆれ



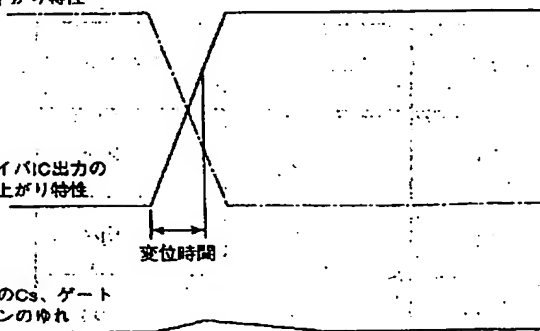
【図18】

ドライバIC出力の立ち下がり特性

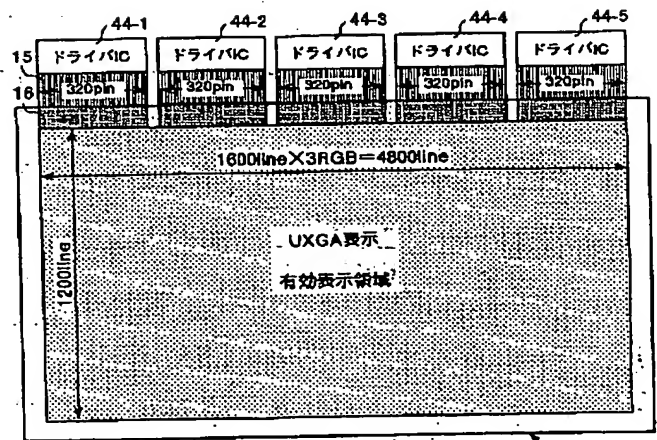
ドライバIC出力の立ち上がり特性

合成のCs、ゲートラインのゆれ

変位時間

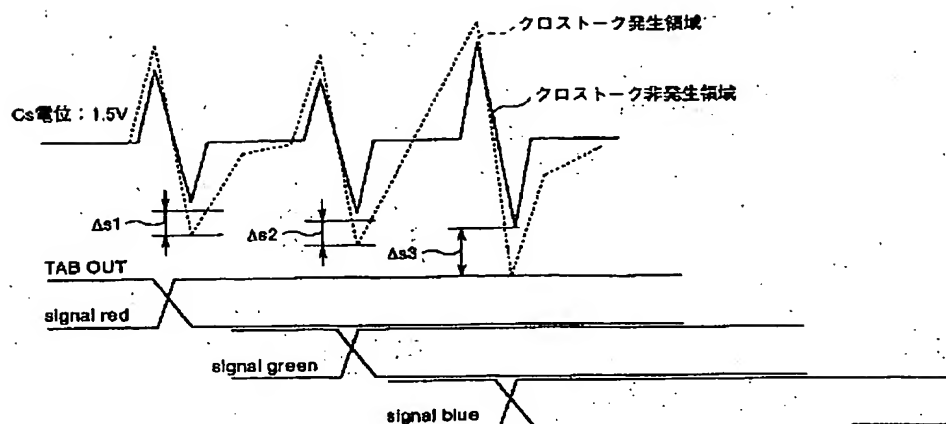


【図22】

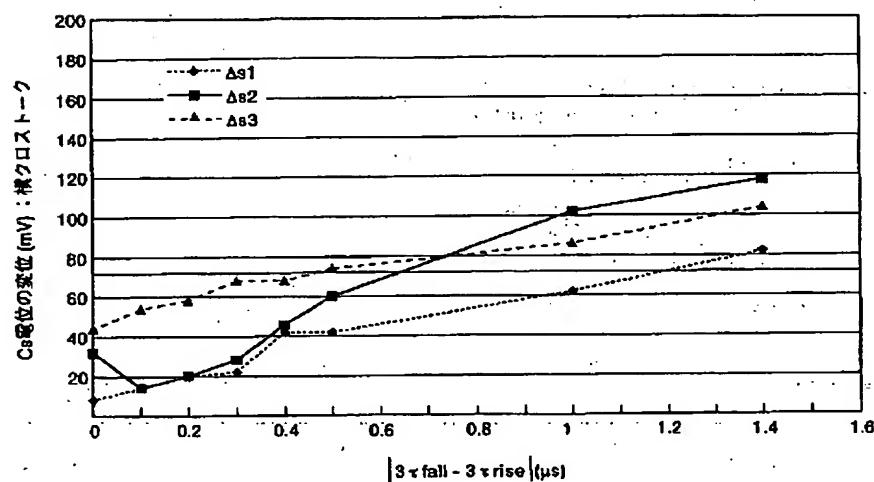


(20)

【図19】



【図20】



【図21】

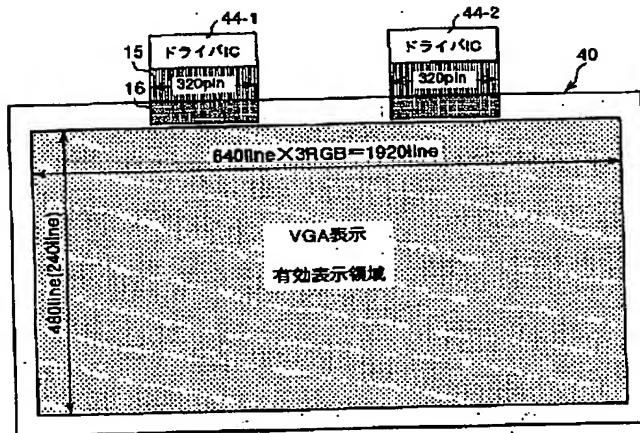
水平走査時間	21.537 $\mu$ s	15.63 $\mu$ s	12.504 $\mu$ s	10.971 $\mu$ s
時分割スイッチで 選択する	3 $\mu$ s	3 $\mu$ s	3 $\mu$ s	2 $\mu$ s
外部ICによる スルーレート	2 $\mu$ s	2 $\mu$ s	2 $\mu$ s	1.5 $\mu$ s
ブランキング期間	2 $\mu$ s	1 $\mu$ s	1 $\mu$ s	1 $\mu$ s
反転表示方法	ドット反転	ドット反転	ドット反転	ドット反転
ドット周波数	78.75MHz	108MHz	135MHz	157.5MHz

(21)

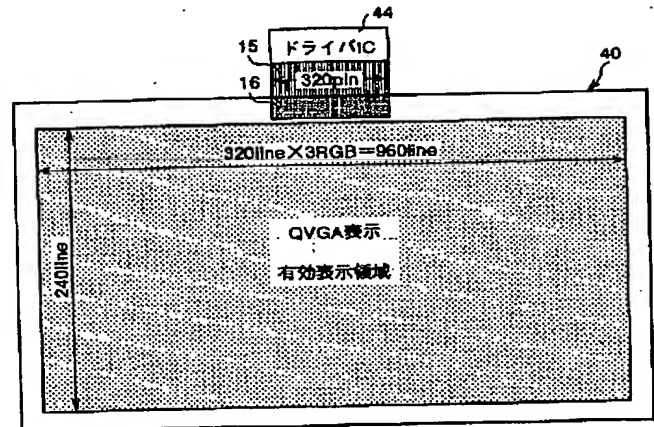
【図23】

水平走査時間	16 $\mu$ s	13.333 $\mu$ s	12.308 $\mu$ s	11.429 $\mu$ s	10.667 $\mu$ s	10 $\mu$ s	9.412 $\mu$ s
時分割スイッチ で選択する	3 $\mu$ s	3 $\mu$ s	3 $\mu$ s	2.5 $\mu$ s	2 $\mu$ s	2 $\mu$ s	2 $\mu$ s
外部ICによる スルーレート	2 $\mu$ s	2 $\mu$ s	2 $\mu$ s	2 $\mu$ s	1.5 $\mu$ s	1.5 $\mu$ s	1.5 $\mu$ s
ブランキング 期間	1 $\mu$ s	1 $\mu$ s	1 $\mu$ s	1 $\mu$ s	1 $\mu$ s	1 $\mu$ s	1 $\mu$ s
反転表示方法	ドット 反 転	ドット 反 転	ドット 反 転	ドット 反 転	ドット 反 転	ドット 反 転	ドット 反 転
ドット周波数	135MHz	162MHz	175.5MHz	189MHz	202.5MHz	216MHz	229.5MHz

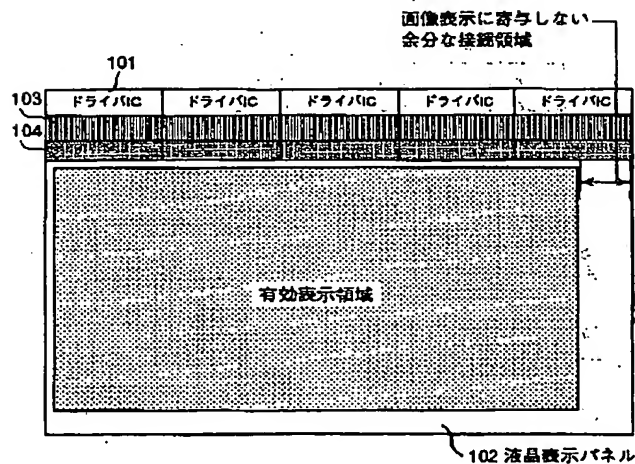
【図24】



【図25】



【図37】

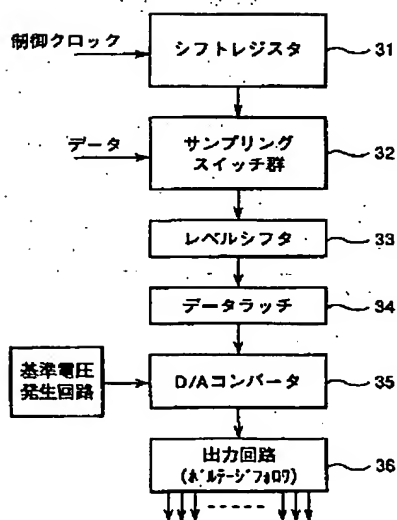


(22)

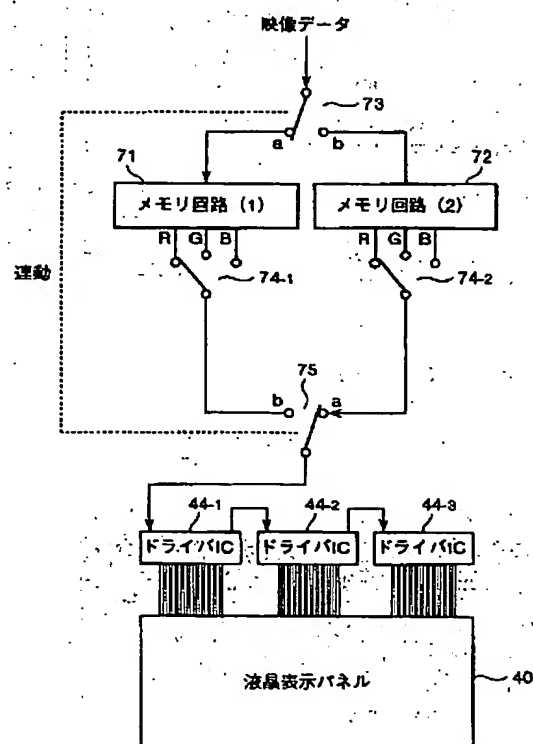
【図26】

	VGA	QVGA(1)	QVGA(2)
画素数	水平: 640×3RGB 垂直: 480	水平: 320×3RGB 垂直: 240	水平: 320×3RGB 垂直: 240
水平走査時間	31.778 $\mu$ s	63.492 $\mu$ s	70.667 $\mu$ s
時分割スイッチで 選択する時間	6.774 $\mu$ s	14.6 $\mu$ s	10.0 $\mu$ s
外部ICによる スルーレート	3 $\mu$ s	3 $\mu$ s	3 $\mu$ s
ブランキング期間	期間(a),(b): 1.7 $\mu$ s 期間(c): 8.056 $\mu$ s	期間(a),(b): 3 $\mu$ s 期間(c): 13.692 $\mu$ s	期間(a),(b): 7 $\mu$ s 期間(c): 26.667 $\mu$ s
反転表示方法	1H VCOM反転	1H VCOM反転	1H VCOM反転

【図27】

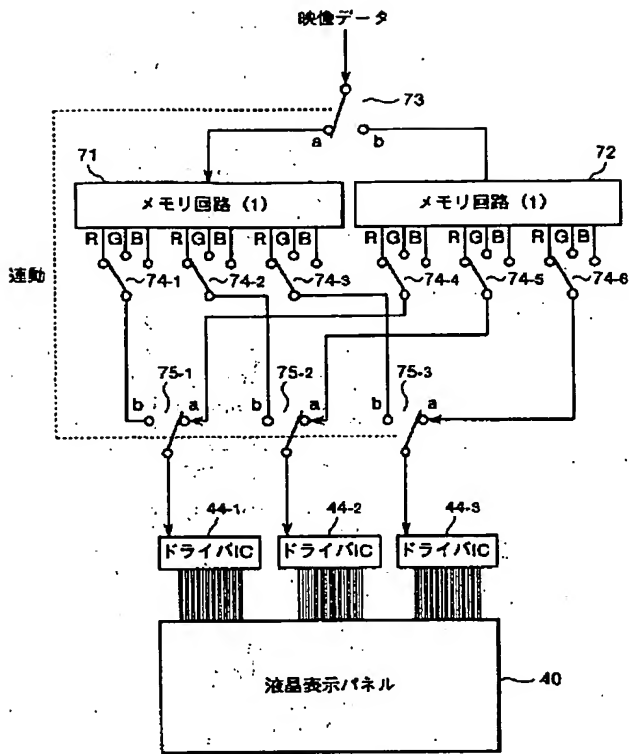


【図29】

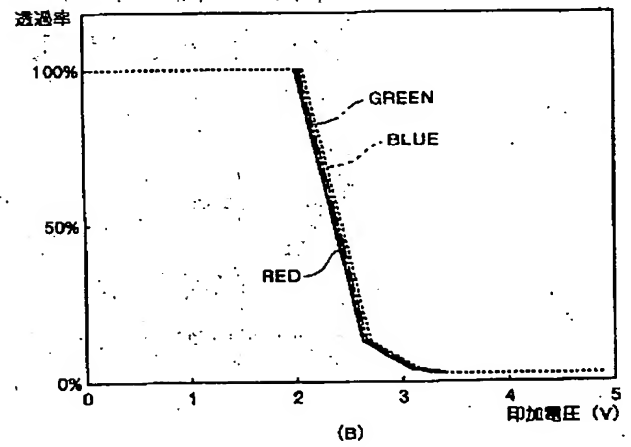
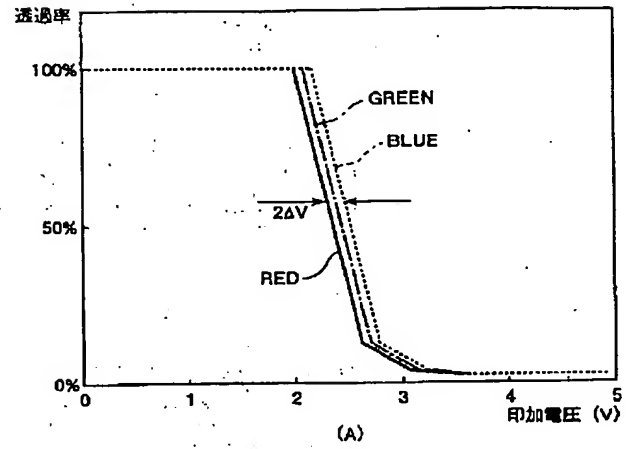


(23)

【図30】

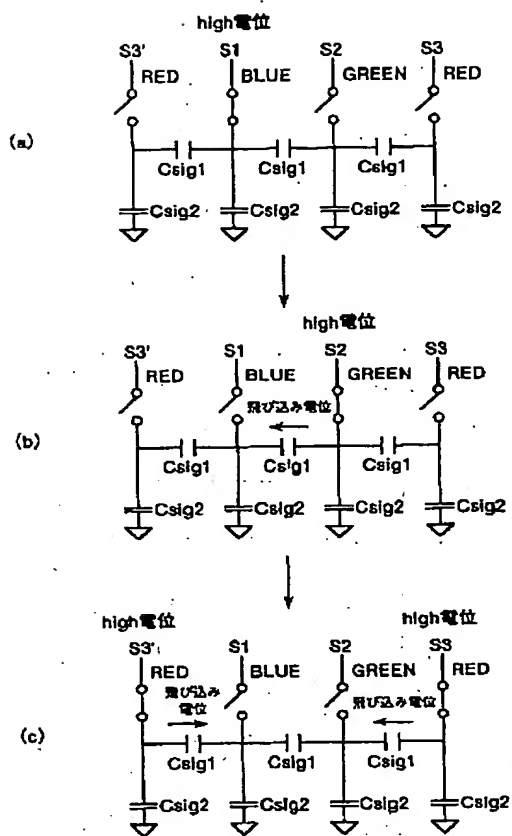


【図31】

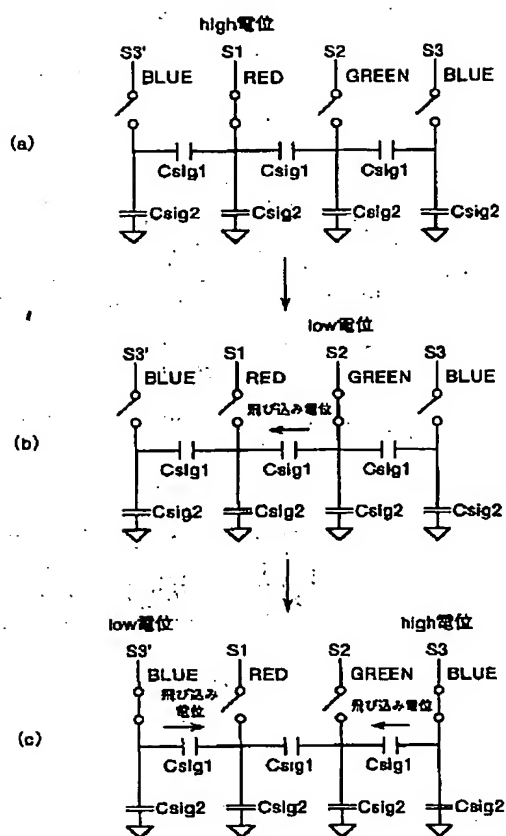


(24)

【図32】

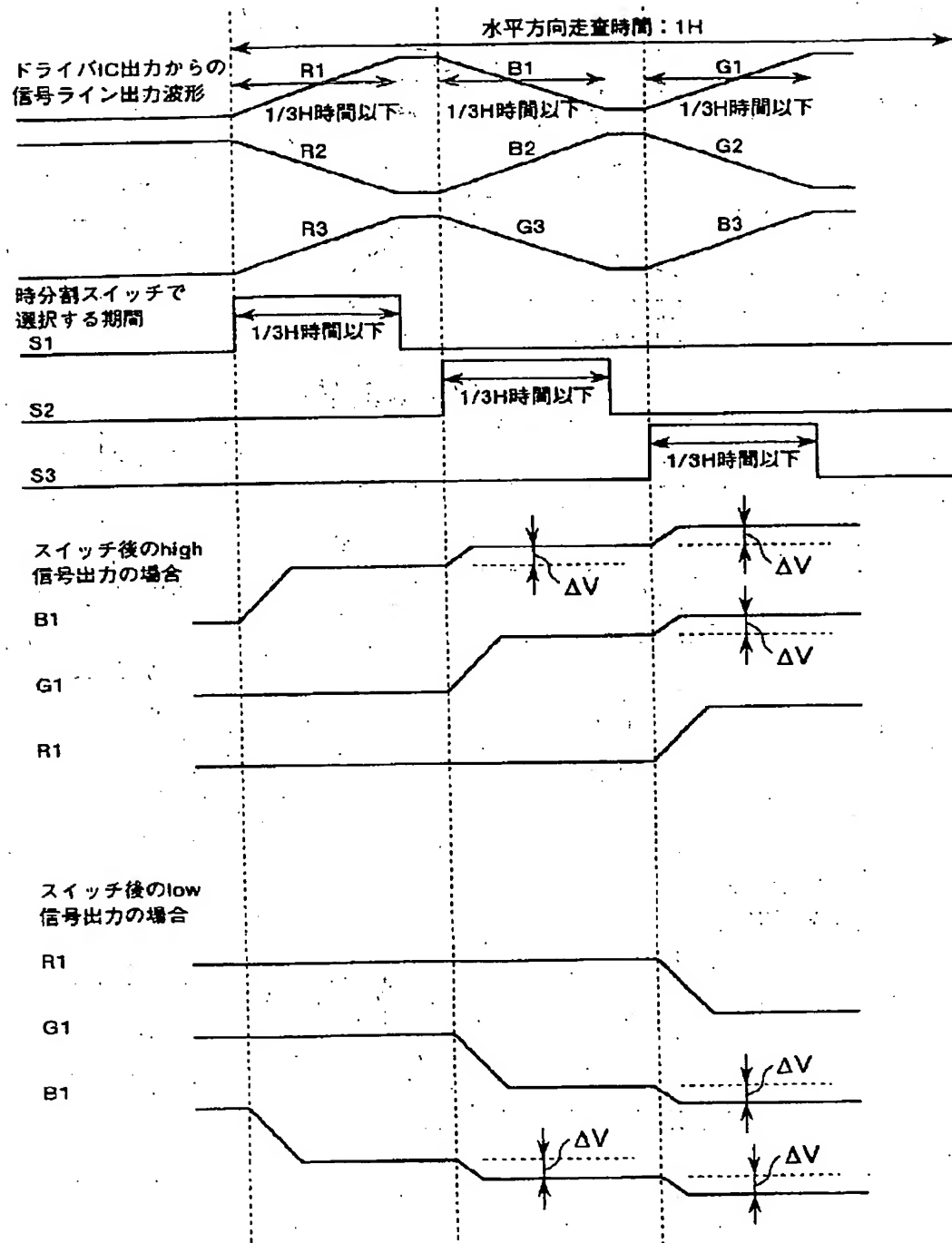


【図34】



(25)

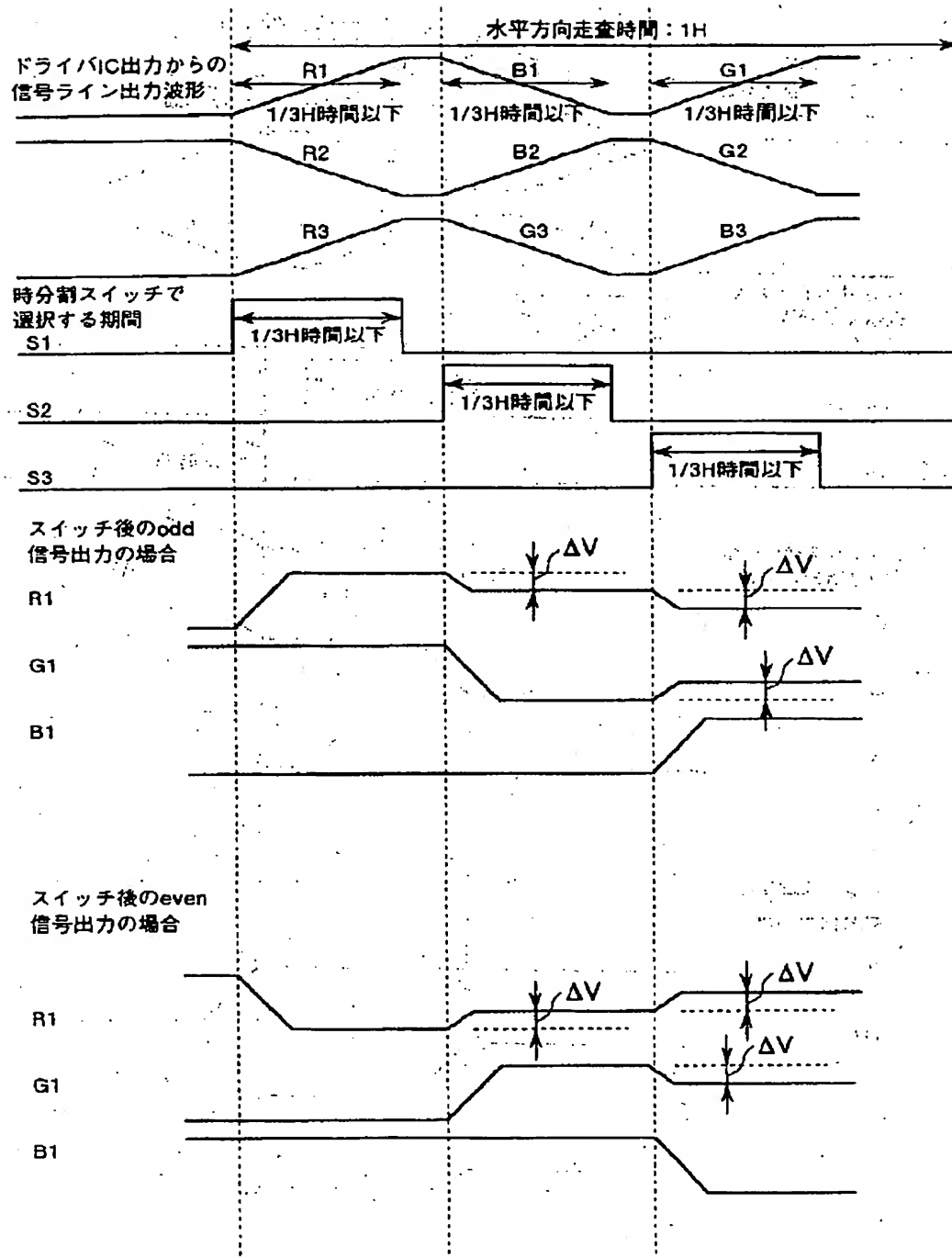
【図33】





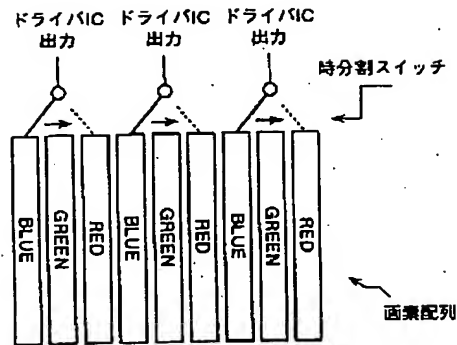
(26)

【図35】

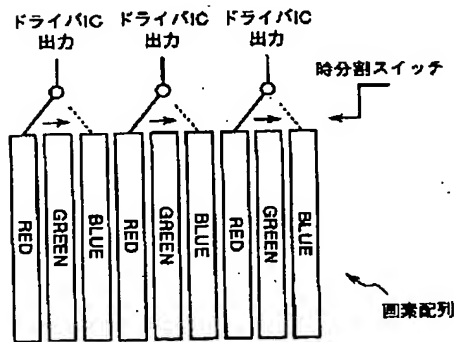


(27)

【図36】



(A) 1H反転駆動法



(B) ドット反転駆動法

フロントページの続き

(72)発明者 市川 弘明  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72)発明者 寺口 晋一  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72)発明者 後藤 尚志  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72)発明者 岡 豪人  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72)発明者 芥河 徹  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72)発明者 坪田 浩嘉  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内